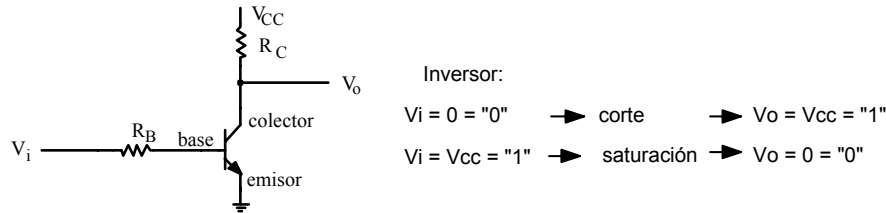


A3 Apéndice al capítulo 10

Puertas lógicas con transistores bipolares

El transistor bipolar como inversor

El circuito básico de un transistor en emisor común, según el esquema de la figura, realiza la operación booleana de negación o complementación: inversor.



Se utilizan los dos estados extremos de este circuito:

- estado de corte: $V_i = 0$ $I_c = 0$ $V_o = V_{CC}$
- estado de saturación: $V_i = V_{CC}$ $V_o = 0$.

La situación de corte queda asegurada siempre que $V_i < V_{\mu}$ (tensión umbral del diodo base-emisor, para el silicio 0,6 V), en cuyo caso $I_B = I_C = 0$ y la tensión de salida es igual a la de alimentación del circuito (no hay caída de tensión sobre R_C), $V_o = V_{CC}$.

La situación de saturación supone que $V_{CE} = 0$ y, por tanto, $I_C = V_{CC}/R_C$; para mantener tal intensidad de colector se necesita una intensidad de base suficiente:

$$I_B > I_C / \beta = V_{CC} / (\beta \cdot R_C), \text{ siendo } \beta \text{ la ganancia en corriente del transistor;}$$

como la tensión de entrada en este caso será $V_i = V(1) = V_{CC}$

$$I_B = (V_{CC} - V_{BE}) / R_B \approx V_{CC} / R_B \text{ ha de ser mayor que } V_{CC} / (\beta \cdot R_C):$$

$$V_{CC} / R_B > V_{CC} / (\beta \cdot R_C) \text{ o sea, } \mathbf{R_B < \beta \cdot R_C}$$

condición de saturación para una tensión de entrada igual a la tensión de alimentación.

Por otra parte, la intensidad de base del transistor no debe superar un valor límite $I_{B\text{máx}}$ propio del transistor, lo que impone una segunda condición: $V_{CC} / R_B < I_{B\text{máx}}$, o sea, $\mathbf{R_B > V_{CC} / I_{B\text{máx}}}$.

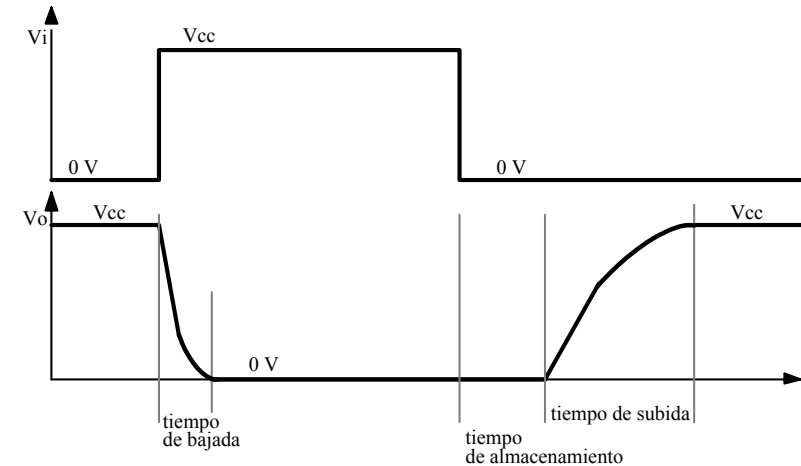
$$\mathbf{V_{CC} / I_{B\text{máx}} < R_B < \beta \cdot R_C}$$

Dentro de estos dos límites puede elegirse la resistencia R_B en una amplia gama de valores; cuanto menor sea R_B más profunda será la situación de saturación cuando ésta se alcance, mientras que valores altos de R_B favorecen el estado de corte, siendo precisamente la transición de saturación a corte la que presenta mayores retardos.

La resistencia de colector R_C ha de ser elegida dentro de un compromiso entre velocidad y consumo; cuanto menor es R_C menores son también las constantes de tiempo asociadas al transistor y éste conmuta más rápidamente, pero consume más.

La conmutación de este circuito inversor requiere fuertes variaciones de la concentración de portadores minoritarios en la región de base, habida cuenta de que dicha concentración es muy diferente en corte (prácticamente nula) y en saturación; tales variaciones de carga en la base del transistor necesitan los correspondientes tiempos para la acumulación o eliminación de carga, que se manifiestan como tiempos de retraso.

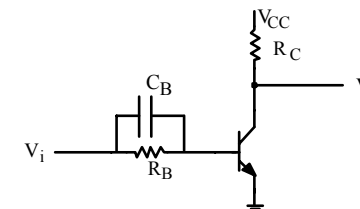
La siguiente figura representa la respuesta de un inversor frente a una onda cuadrada en su entrada:



La transición a corte es más lenta que la de saturación, es decir, es más costoso (en variación de carga en base y, por tanto, en tiempo) el paso de saturación a corte que el recíproco de corte a saturación. En tal sentido, no interesa forzar mucho la saturación, o sea, la desigualdad $\mathbf{R_B < \beta \cdot R_C}$.

El orden de magnitud de los tiempos de retraso en la conmutación expresados en la figura anterior depende del tiempo medio de recombinación de portadores minoritarios en la base: τ_B es un parámetro característico del transistor, cuyo orden de magnitud suele encontrarse entre 0,1 y 1 μs para transistores normales de silicio; cuanto menor sea dicho valor, más rápida será la conmutación del transistor.

Es posible mejorar ambas transiciones mediante la inclusión de un condensador C_B en paralelo con la resistencia de base:

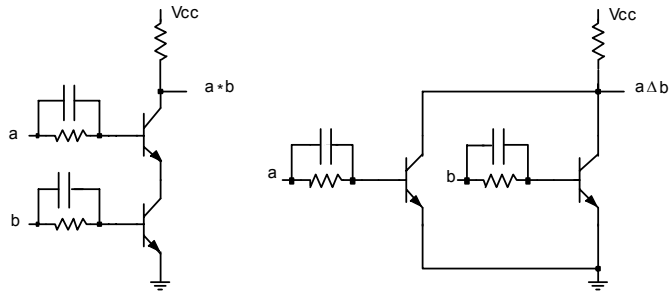


El condensador C_B comunica a la base un impulso de carga en cada transición, que se traduce en una rápida variación de la concentración de portadores minoritarios:

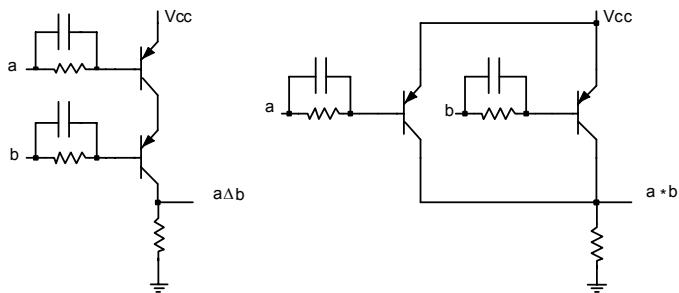
- para $C_B \cdot R_B = \tau_B$ los impulsos de carga comunicados por el condensador C_B coinciden exactamente con la variación global de portadores minoritarios en la base y se consigue una respuesta muy rápida a una onda cuadrada en la entrada del inversor.

Puertas con transistores discretos

A partir del esquema circuital del inversor, la conexión de transistores en serie (operación "y") o en paralelo (operación "o") da lugar a puertas inversoras *Nand* y *Nor*:



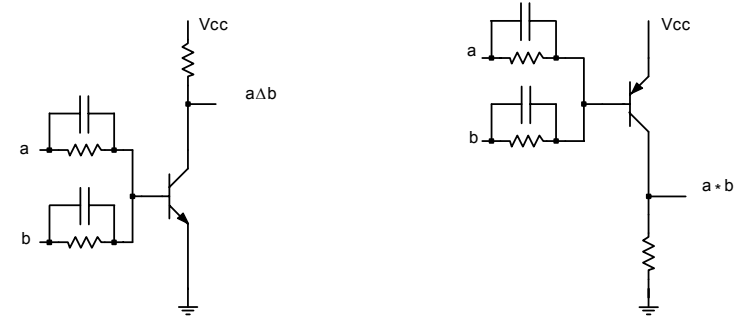
Con transistores PNP resultarán las puertas siguientes:



Habida cuenta la propiedad de «operación única» que posee tanto la puerta "y-negada" (*Nand*) como la "o-negada" (*Nor*), puede construirse cualquier función booleana utilizando solamente puertas *Nand* o puertas *Nor*.

La asociación de transistores en serie no suele utilizarse por presentar ligeros problemas de desplazamiento de nivel (cuando los transistores se encuentran en saturación $V_{CE} = 0,2$ voltios y en el caso de transistores en serie sus tensiones V_{CE} de saturación se suman); la asociación en paralelo resulta un esquema de puerta lógica muy útil y, precisamente, fue el primero en ser utilizado en los circuitos integrados digitales (familia lógica RTL).

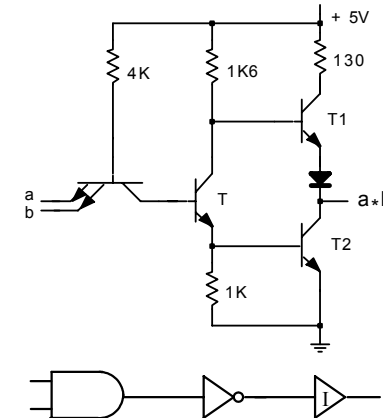
El inconveniente principal de las anteriores puertas lógicas consiste en necesitar tantos transistores como entradas; puede ser evitado utilizando un único transistor y dotándole de varias entradas a través de circuitos $R_B // C_B$.



Estas puertas resultan muy útiles y económicas para realizar funciones booleanas con componentes discretos; con cualquiera de ambas puede construirse toda la lógica booleana.

Puerta básica TTL

La puerta básica **TTL** es de tipo "y-negada" (*Nand*), constituida por tres etapas sucesivas: un transistor multiemisor que actúa como puerta "y", un inversor formado por un simple transistor que conmuta entre corte y saturación y un amplificador de intensidad con dos transistores en *push-pull* (etapa de salida denominada *totem pole*).

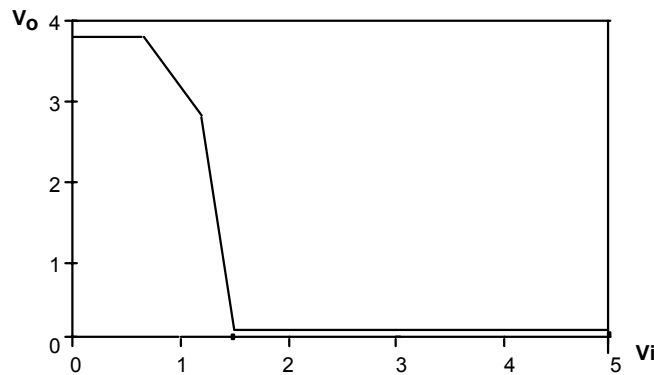


El funcionamiento de la puerta TTL es el siguiente:

- Caso de que todas las entradas se encuentren a **1**, la intensidad de corriente que circula por la primera resistencia (4K) llega a la base del transistor central **T** a través del diodo base-colector del transistor multiemisor de entrada; **T** se satura y también lo hace **T₂**, de forma que la tensión de salida se sitúa en **0** ($\approx 0,2$ V); el diodo en serie con **T₁** impide que este transistor conduzca.
- Cuando alguna de las entradas se encuentra a **0**, la intensidad de la mencionada resistencia ($\sim 5 \text{ V} / 4\text{K} = 1,2 \text{ mA}$) es conducida «hacia fuera» por el correspondiente diodo base-emisor del transistor multiemisor; **T** y **T₂** se encontrarán en corte y, por tanto, **T₁** pasa a conducción: la tensión de salida será $5 - V_{BE1} - V_D \approx 3,8 \text{ V}$, que corresponde al **1** (pero que es sensiblemente inferior a la tensión de alimentación).

Dado que para imponer un **0** a una entrada TTL es preciso asumir «hacia fuera» una intensidad de 1,2 mA, una entrada TTL «al aire» equivale a un **1**. Ahora bien, nunca debe dejarse una entrada al aire pues constituirá una pequeña antena capaz de recibir todo tipo de «ruido» electromagnético; las entradas no utilizadas deben anularse conectándolas a **1** (caso de puertas *Nand*).

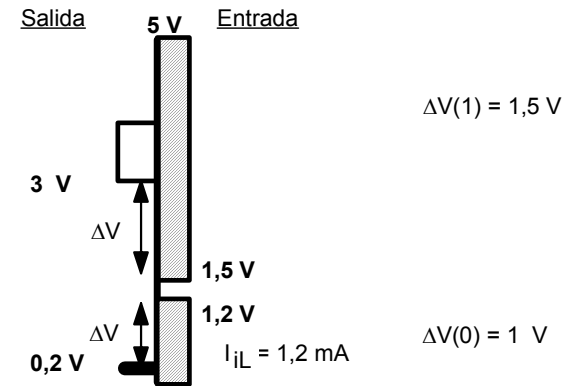
La función de transferencia V_o-V_i es la representada en la siguiente figura:



- para $V_i < 0,6 \text{ V}$ la tensión de salida V_o será de 3,8 V
- entre los valores de 0,6 y 1,5 V de la tensión de entrada, la de salida conmuta de 3,8 a 0,2 V; esta transición se realiza en dos tramos: al variar la entrada de 0,6 a 1,2 V la salida pasa de 3,8 a 3 V y de 1,2 a 1,5 V en la entrada la salida desciende abruptamente de 3 a 0,2 V
- para $V_i > 1,5 \text{ V}$, la tensión de salida será de 0,2 V.

Se han utilizado en este análisis tensiones umbrales de 0,6 V para los diodos; 0,7 V para la unión base-emisor en saturación y 0,2 V para la tensión colector-emisor en saturación.

De acuerdo con dicha función de transferencia, el diagrama salida/entrada será:



El margen de tensión para el ruido es de 1,5 V para salida **1** y 1 V para salida **0**.

El consumo de esta puerta TTL es mayor para salida **0**, en cuyo caso el transistor **T** se encuentra en saturación, conduciendo a través del mismo aproximadamente 3,2 mA:

$$\begin{aligned} V_C &= V_E + V_{CE,sat} = V_{BE2} + V_{CE,sat} \approx 0,9 \text{ V}; I_C \approx (5 - 0,9)/1,6\text{K} = 2,5 \text{ mA}; \\ V_B &= 2V_{BE,sat} \approx 1,4 \text{ V}; I_B \approx (5 - 1,4 - 0,6)/4\text{K} = 0,7 \text{ mA}. \end{aligned}$$

En cambio, para salida **1** la intensidad más importante es la que circula por la primera resistencia (4K): $I \approx (5 - 0,6)/4\text{K} = 1,1 \text{ mA}$.

El consumo promedio se sitúa en unos 2 mA (10 mW) que representan un consumo relativamente alto: tanto el suministro de intensidad desde la tensión de alimentación como la disipación de potencia en los integrados llegan a alcanzar valores importantes cuando se utiliza un gran número de puertas.

La velocidad de conmutación de la puerta TTL está relacionada con el parámetro τ_B de sus transistores, cuyo valor se sitúa en el orden de 10 ns; del mismo orden de magnitud son los tiempos de propagación típicos: **t_{PHL}** y **t_{PLH}**.

Por otra parte, es preciso tener en cuenta que en el momento de la conmutación se produce un ligero pico de consumo debido a que, durante un instante, se superpone la conducción de los dos transistores de la etapa de salida **T₁** y **T₂**; este sobreconsumo dinámico es, en promedio, despreciable pero genera perturbaciones sobre la línea de alimentación que pueden afectar a los valores lógicos.

Diversidad de series TTL

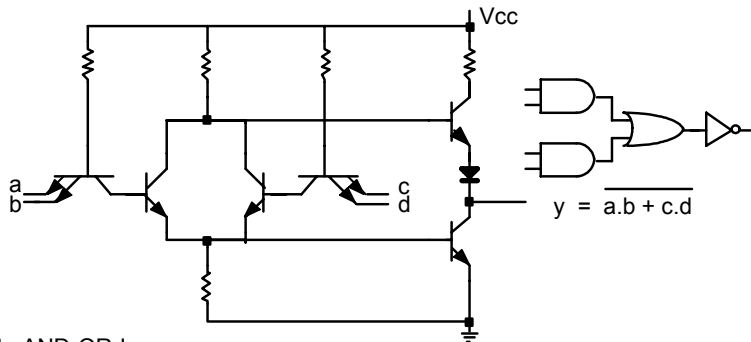
Dentro de la familia TTL se han desarrollado diversas series con prestaciones específicas. Las características numéricas (valores de las resistencias, velocidad, consumo, etc.) detalladas anteriormente corresponden a la primera serie 74, que se conoce como serie normal o estándar (si bien se encuentra hoy en día en desuso).

Las principales mejoras respecto a la serie 74 inicial se deben a tres tipos de modificaciones:

- Aumentando el valor de las resistencias se consigue reducir el consumo (pero, a la vez, aumentan los tiempos de conmutación y disminuye la velocidad de trabajo): serie de «bajo consumo» **74L**, cuyo consumo promedio se sitúa en el orden de 0,2 mA y sus tiempos de propagación en unos 40 ns.
- La utilización de transistores Schottky (bipolares en cuya unión base-colector, en paralelo con la misma, se añade un diodo Schottky que impide al transistor entrar en saturación profunda) permite una conmutación mucho más rápida: serie «TTL Schottky» **74S** con tiempos de conmutación de 3 ns y un consumo promedio de 4 mA.
- Combinando ambas modificaciones se consigue una serie de consumo reducido y velocidad de conmutación análoga a la serie estándar: serie «TTL Schottky de bajo consumo» **74LS**, con tiempos inferiores a los 10 ns y consumo promedio de 0,5 mA.
- La reducción de tamaño de los transistores integrados y la correspondiente reducción de sus efectos capacitivos ha dado lugar a series «avanzadas» con menores tiempos de conmutación: **74ALS** y **74AS** (tiempos del orden de 2 ns y 1 ns, respectivamente).

Suma de productos: puerta and-or-i

Las entradas de la puerta básica "y-negada" (Nand) de la familia TTL pueden ser ampliadas, en la forma representada en la figura siguiente, configurando una puerta con las operaciones "y" – "o" – "negación": puerta "y-o-negada" (AND-OR-I); esta puerta es sumamente útil, ya que realiza directamente la «suma de productos» que corresponde a la forma canónica de una función (tomando, para ello, la suma de productos de la función negada, ya que existe una inversión en la salida de esta puerta).



Puerta AND-OR-I

Características de la serie LS según catálogo

Los datos utilizados en este apartado corresponden al circuito integrado 74LS00 en el catálogo de Texas Instruments.

• Temperaturas

La temperatura de funcionamiento de la serie LS-TTL abarca el intervalo entre 0°C y 70°C y puede almacenarse a temperaturas entre -65°C y 150°C.

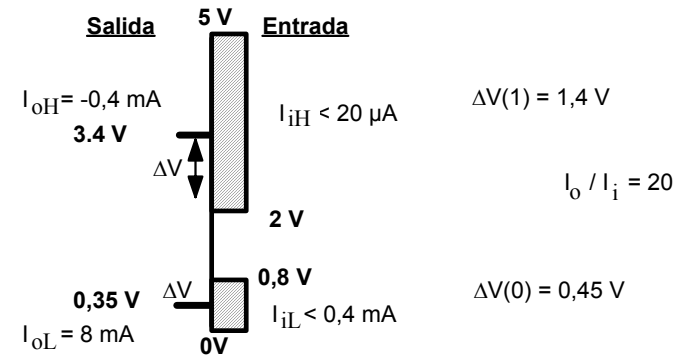
• Tensión de alimentación

La tensión de alimentación es la habitual de 5 voltios; el intervalo de tensiones admitido va de 4.75 a 5.25 voltios, lo cual requiere un buen filtrado y posterior estabilización en la fuente de alimentación.

• Tensiones e intensidades: V_o - V_i , I_o , I_i

$V_{oL} = 0,35 \text{ V}$ para $I_{oL} = 8 \text{ mA}$ $V_{iLm\acute{a}x} = 0,8 \text{ V}$ $I_{iL} < -0,4 \text{ mA}$

$V_{oH} = 3,4 \text{ V}$ para $I_{oH} = -0,4 \text{ mA}$ $V_{iHm\acute{i}n} = 2 \text{ V}$ $I_{iH} < 20 \mu\text{A}$



Es importante tener en cuenta que el valor 0 en una entrada requiere un intensidad «hacia fuera» del orden de 0,2 mA.

• Inmunidad frente al ruido

Los márgenes de ruido en tensión, calculados en la gráfica anterior, son:

$\Delta V(0) = 0,45 \text{ V}$ $\Delta V(1) = 1,4 \text{ V}$

Para calcular los márgenes de ruido en potencia es necesario deducir las resistencias de salida en el propio esquema circuital de la puerta LS-TTL:

$R_o(0)$ = resistencia del transistor inferior en saturación $\approx 10 \Omega$;

$R_o(1)$ \approx resistencia en serie con el transistor superior = 110Ω .

Con tales valores los márgenes de ruido en potencia son de:

$$\Delta P(0) = 0.45^2 / 10 = 20 \text{ mW} \quad \Delta P(1) = 1.4^2 / 110 = 18 \text{ mW}$$

El margen de ruido en potencia es de unos 20 mW. Cabe observar que, aunque el margen en tensión es mucho menor para el **0** que para el **1**, en potencia ambos márgenes son parecidos, e incluso es peor para el **1**, ya que su resistencia de salida es mucho mayor.

- *Velocidad de trabajo*

Los tiempos de propagación (t_{PLH} y t_{PHL}) son del orden de 10 ns; por tanto, se requieren tiempos de bit superiores a 20 ns, lo que permite una frecuencia máxima de reloj de 25 MHz.

- *Consumo*

$I_{CCL} \sim 0.2 \text{ mA}$

$I_{CCH} \sim 0.6 \text{ mA}$

en promedio: $I_{CC} \sim 0.4 \text{ mA}$

$P \sim 0.4 \times 5 = 2 \text{ mW}$

- *Conectividad*

La capacidad de carga *fan-out* viene dada por el cociente entre intensidades de salida y de entrada, ya que al conectar varias puertas a la salida de otra se requiere que ésta suministre intensidad suficiente para asegurar el valor booleano de entrada en las siguientes (en particular, para asegurar el **0**).

$$\text{fan-out} = I_o / I_i = 20.$$

En cuanto al *fan-in* existen puertas integradas de hasta 8 entradas.

Se dispone de inversores con entradas con histéresis, tipo *Schmitt*, cuyas tensiones de disparo son, aproximadamente, 0,8 y 1,6 V, y de puertas con salidas en *colector abierto*; asimismo, existe una amplia disponibilidad de puertas y bloques con salidas *triestado*.