

15 EL SINCRONISMO: SIGNIFICADO, UTILIDAD Y REQUISITOS

15.1. Necesidad y conveniencia del sincronismo

15.2. Simultaneidad y estabilidad

15.3. Delimitación de caminos

15.4. Separación entre las dos fases del reloj

15.5. Precauciones relativas a la señal de sincronismo

Para abordar «la complejidad» resulta útil la idea de estructura, en cuanto a «disposición, orden y enlace de las partes para conformar un todo». El tiempo, aunque inmaterial, es también una de las «partes» conformadoras de un sistema complejo y el sincronismo confiere una organización estructural que simplifica el manejo del tiempo al cuantificarlo y numerarlo en unidades sucesivas.

El sincronismo no es sino una partición aplicada al tiempo, una forma de utilizar la estrategia de «divide y vencerás» en relación con una variable particularmente compleja por su carácter «continuo» e impreciso cual es el tiempo.

El sincronismo es un «estilo de diseño» que simplifica la planificación temporal (permite referir su actividad funcional a unidades de tiempo discretas y numerables) y aporta alta seguridad funcional; en grandes líneas, el sincronismo sirve para fijar el tiempo de cada bit en el procesamiento serie, coordinar temporalmente las diversas partes de un sistema, simplificar los cálculos de tiempos funcionales de los componentes y, sobre todo, garantizar la seguridad de funcionamiento del sistema.

Dada su importancia y utilidad, se requiere una comprensión clara del significado conceptual del sincronismo, del mecanismo implícito en el mismo y de sus consecuencias prácticas, tanto las prestaciones o ventajas que ofrece como los requisitos o condiciones que exige. En tal sentido, el presente capítulo trata de profundizar en:

- *los procesos que se desarrollan dentro de cada unidad de tiempo,*
- *su relación con los «caminos» entre biestables (la forma en que la división del tiempo en unidades se refleja en la división del espacio en recorridos entre biestables) y el análisis de tiempos aplicado a dichos caminos,*
- *y los requisitos que hacen efectivo el sincronismo.*

El sincronismo exige una «meta separación entre las dos fases de la señal de reloj» como idea clave para la correcta actuación de los biestables síncronos, lo cual requiere el adecuado diseño de dichos biestables (de forma que no puedan cambiar de estado en el flanco no activo del reloj), el cumplimiento del tiempo de permanencia del dato en sus entradas y el que la señal de reloj sea vertical, simultánea y fuerte (en cuanto a capacidad de intensidad) y no se efectúe ninguna clase de lógica sobre dicha señal.

15.1. Necesidad y conveniencia del sincronismo

El sincronismo puede servir para:

- determinar el tiempo de actuación que corresponde a cada dígito o bit,
- coordinar temporalmente los diversos componentes de un sistema,
- planificar su comportamiento dividiéndolo en acciones sucesivas,
- simplificar los cálculos relativos a los tiempos funcionales de los biestables
- y, sobre todo, garantizar la seguridad de funcionamiento del sistema.

Hay problemas que por su propia naturaleza requieren un diseño síncrono, por ejemplo, la transmisión y el procesamiento serie en los cuales se procesa un bit tras otro (o una palabra tras otra), de forma que es preciso definir el intervalo temporal de duración de cada bit.

En sistemas con partes que trabajan a diferentes velocidades, el sincronismo permite coordinar los diferentes tiempos de retraso entre unas y otras. En general, en sistemas cuyos componentes presentan tiempos de propagación diferentes, interesa un diseño síncrono, con la frecuencia de reloj adaptada a la velocidad del elemento más lento, para evitar problemas con los tiempos de retraso de las señales y asegurar que dichos retrasos no den lugar a transiciones de estado o salidas no deseadas.

De esta forma, el sincronismo facilita el diseño de un sistema complejo, al permitir la planificación temporal de la actividad del sistema referida a unidades de tiempo discretas y ordenadas sucesivamente (numeradas). Sin duda es mucho más fácil razonar respecto a un parámetro cuantificado en intervalos discretos y numerados que frente a una variable de rango continuo. La cuantificación permite establecer correspondencias bien delimitadas entre unidades de tiempo y acciones sucesivas y facilita mucho la adaptación entre partes con diferentes velocidades.

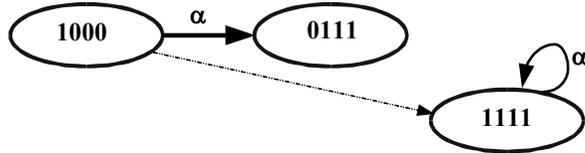
Asimismo, el sincronismo facilita los cálculos relativos a los tiempos de propagación (t_p) y demás tiempos funcionales de los componentes (t_s , t_h , ...) al establecer el concepto de «camino», como recorrido que han de efectuar las variables dentro de la unidad de tiempo.

Pero, sobre todo, el sincronismo proporciona alta seguridad de funcionamiento: todas las variables del sistema conmutarán a la vez (en los flancos activos del reloj) y, lo que es más importante, los valores que determinarán las transiciones serán los valores booleanos presentes en el momento anterior al flanco activo del reloj.

No importa que existan retrasos desiguales en las diversas señales, ya que son los valores consolidados previos a la transición (y no los que se producen durante ella) los que la controlan: cada unidad de tiempo es un intervalo dedicado a calcular el nuevo estado. Los valores transitorios de algunas variables que puedan formarse durante la transición de un estado al siguiente no afectan al sistema, porque el nuevo estado no es admitido hasta el siguiente flanco de reloj, cuando ya ha sido calculado por completo a lo largo de la unidad de tiempo.

En los sistemas combinacionales el tiempo interviene solamente como un retraso entre entradas y salidas (tiempo de propagación) que, en definitiva, limita la velocidad de trabajo del sistema. En los sistemas secuenciales, además de limitar la velocidad de trabajo, tales retrasos pueden dar lugar a errores funcionales que afectan a la evolución de los estados (presentando un comportamiento erróneo continuado, aún a velocidades de procesamiento admisibles).

Veamos un ejemplo sencillo: supongamos que un vector de entrada α activa una transición por la cual el estado **1000** debe cambiar al estado **0111**;



supongamos también que la variable de estado inicial q_4 es mucho más lenta (pasa a través de mayor número de puertas) que las otras tres q_3 q_2 q_1 : se formará transitoriamente el estado **1111** antes de completarse la transición a **0111**.

Pero, si el vector de entrada α no afecta al estado **1111** (si para dicho vector el estado **1111** no debe cambiar), puede suceder que el estado transitorio **1111** se consolide como nuevo estado (pues las condiciones booleanas que determinaban la transición a **0111** - estado **1000** y entrada α - han desaparecido) y, a partir de ese momento, la evolución del sistema será errónea.

Esto no sucederá si el sistema es síncrono (y está bien diseñado), pues el nuevo estado **0111** se encontrará ya calculado previamente al momento de la transición y será capturado en bloque, con el flanco activo de la señal de reloj.

Aparte de sus ventajas, el diseño síncrono resulta obligado en la práctica actual, dado que los módulos constitutivos de los dispositivos programables **CPLD** y **FPGA** son, de por sí, síncronos y también lo son los biestables habituales de las librerías de celdas para el diseño de circuitos integrados de aplicación específica **ASIC**.

Actualmente, habida cuenta de la alta densidad de integración de los bloques digitales disponibles, de la diversidad y del bajo coste de los mismos, no suele haber razones suficientes para configurar un sistema en forma asíncrono: cada vez más el diseño digital es un diseño síncrono.

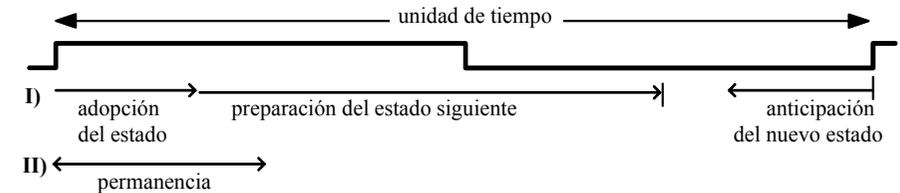
15.2. Simultaneidad y estabilidad

Simultaneidad en los cambios y estabilidad a lo largo de la unidad de tiempo

El sincronismo se define por el hecho de que «el conjunto de estados» del sistema cambie «simultáneamente», en coordinación directa con la señal que separa las unidades de tiempo, a la que denominamos *reloj*. Ahora bien, el cambio «simultáneo» de variables físicas es mera «entelequia» si tal simultaneidad se entiende con total precisión; por ello, ha de reinterpretarse como cambio «a la vez» con dos condiciones determinantes:

- I) el nuevo estado a adoptar se encuentra preparado previamente al momento de cambio
- II) los valores de las variables correspondientes al nuevo estado no «actúan» hasta el siguiente momento de cambio (es decir, no provocan variaciones inmediatas sobre el propio estado).

El intervalo de una unidad de tiempo se dedica a los tres procesos temporales indicados en la parte I de la figura siguiente:



Habida cuenta de que ningún proceso físico es instantáneo, el cambio de estado que supone el inicio de una nueva unidad de tiempo requiere un cierto intervalo temporal (adopción del estado), después del cual el circuito prepara el estado siguiente (con la correspondiente suma de tiempos de propagación a través de puertas booleanas sucesivas) y dicho nuevo estado ha de estar preparado con suficiente antelación para asegurar que sea capturado correctamente en el cambio a la siguiente unidad de tiempo.

Por otro lado (parte II de la figura), también es necesario un intervalo de seguridad o permanencia en que el «estado preparado anteriormente» no cambie, para que no afecte a la propia adopción de dicho estado. Esta permanencia garantiza la condición II, es decir, la estabilidad del nuevo estado a lo largo de su unidad de tiempo.

En un circuito digital, el estado (en una perspectiva de conjunto) se identifica con las variables que intervienen en la conformación de las salidas del circuito. Además de las propias «variables internas de estado» que constituyen la memoria y que están contenidas en biestables, también será necesario ajustar las variables de entrada a las unidades de tiempo.

La conmutación de una entrada a mitad de la unidad de tiempo puede dar lugar a que sobre unas partes (biestables) del circuito actúe con su nuevo valor y sobre otras con el valor anterior, debido a los diferentes tiempos de propagación de los conjuntos de puertas que atraviesa.

El sincronismo de las entradas es necesario para asegurar la estabilidad de sus valores a lo largo de cada unidad de tiempo y, con ello, garantizar la preparación correcta del nuevo estado; además, en el caso de autómatas de Mealy, evita transitorios intermedios en las salidas.

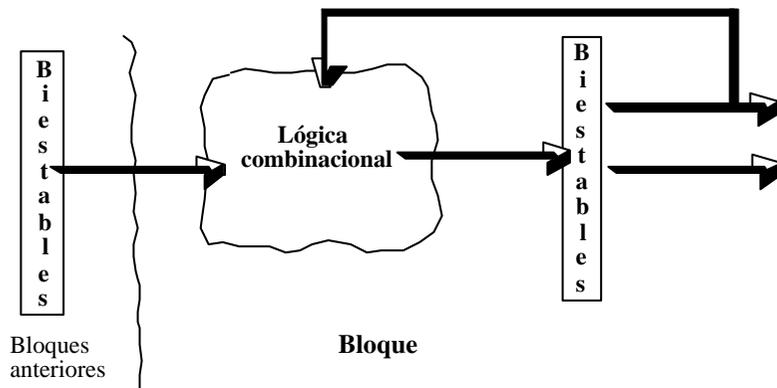
También resulta conveniente sincronizar las variables de salida del circuito, pues ello evita pequeños pulsos transitorios o «fisuras» (*glitches*) que pueden producirse al inicio de las unidades de tiempo, al efectuarse el cálculo de las salidas con el nuevo estado. Ahora bien, la sincronización de las salidas supone retrasarlas una unidad de tiempo de reloj, lo cual, en ocasiones, puede no interesar.

15.3. Delimitación de caminos

Un sistema síncrono se compone de biestables que almacenan las variables (variables de estado, de entrada y, si el sincronismo es total, también las de salida) y de partes combinatoriales que conectan los biestables entre sí.

Un circuito secuencial síncrono puede «segmentarse» en bloques o módulos conformados por una parte combinatorial que recibe las entradas al bloque y calcula las funciones booleanas que corresponden a la actividad del mismo y un registro o conjunto de biestables que recogen las salidas de la parte combinatorial y conectan con el bloque o bloques siguientes; además, las salidas del propio bloque pueden realimentarse como entradas sobre el mismo.

De manera que cada «parte combinatorial» se encuentra «emparedada» (a modo de *sándwich*) entre dos registros o conjuntos de biestables, uno de ellos correspondiente al bloque o bloques anteriores (entradas) y el otro, el propio del bloque (salidas).



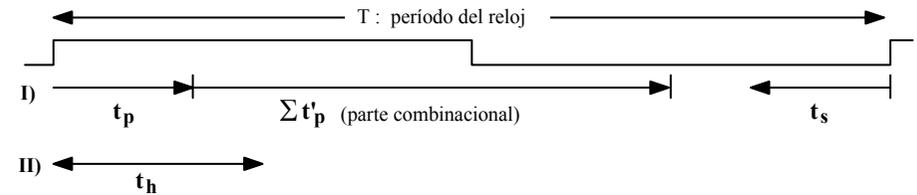
Incluso aquellos bloques que reciben entradas del exterior del sistema digital responden a esta configuración ya que, para sincronizarlas, las entradas se recibirán a través de biestables. Y lo mismo sucede con los bloques que emiten salidas del sistema hacia el exterior pues dichas salidas o bien corresponden directamente a registros o biestables del sistema o, caso de ser conformadas combinatorialmente, suelen incluir biestables que las sincronizan con el reloj central.

La figura anterior puede representar también al sistema secuencial completo, considerado como un único bloque que recibe entradas sincronizadas, a través de los biestables de la izquierda de la figura y emite salidas sincronizadas por biestables de la derecha (quedando, también a la derecha, otros biestables internos de estado que se realimentan sobre la lógica combinatorial).

Tomando como referencia esta estructura de bloques secuenciales (figura anterior), entendemos por *camino* el recorrido de una señal desde una de las entradas del bloque hasta la entrada de uno de los biestables del mismo; es decir, un camino es el recorrido que llega a la entrada de un biestable desde la salida de uno de los biestables que inciden sobre el primero.

Un camino va de biestable **FF1** a biestable **FF2** atravesando solamente la parte combinatorial del bloque al que corresponde el segundo de ellos **FF2**; obviamente, pueden existir caminos que conectan la salida de un biestable **FF2** con su entrada, caso de darse realimentación de dicho biestable sobre sí mismo.

El sincronismo permite «particionar» (dividir en partes) el cálculo de tiempos, aplicándolo a *caminos* definidos entre biestables, y calcular sobre ellos la velocidad máxima de reloj y las posibles violaciones de permanencia. La unidad de tiempo se refleja sobre el recorrido de cada camino entre biestable y biestable.



El tiempo de propagación de la señal por un «camino» corresponde a la suma de tiempos de propagación del primer biestable y de la parte combinatorial que atraviesa el camino, más el tiempo de anticipación que requiere el segundo biestable:

$$t_p(\text{FF1}) + \sum t'_p(\text{parte combinatorial}) + t_s(\text{FF2})$$

El tiempo de anticipación (*set-up*) del biestable receptor interviene en esta suma ya que es un tiempo adicional a los de propagación, necesario para el correcto funcionamiento del biestable.

La duración de una unidad de tiempo $T = 1/f_{CK}$ ha de ser suficiente para que todos los caminos completen la propagación de las señales a través de ellos, es decir:

$$T_{CK} > t_p(FF1) + \sum t'_p(\text{parte combinacional}) + t_s(FF2)$$

desigualdad que ha de cumplirse para todos los caminos existentes en el sistema digital. Caso de no respetarse esta desigualdad se produce una violación de la anticipación necesaria para el funcionamiento correcto del biestable **FF2**: «violación de *set-up*»; es decir, el nuevo dato a la entrada de dicho biestable no ha completado su preparación con el tiempo de anticipación suficiente (previo al flanco activo del reloj) para asegurar que será capturado correctamente.

Los tiempos de propagación de diversos caminos serán diferentes, ya que lo es la «parte combinacional» que atraviesa cada camino. La frecuencia máxima de trabajo del sistema digital vendrá limitada por aquellos caminos cuyos tiempos de propagación sean mayores: *camino crítico*. Resulta, pues, importante detectar los caminos críticos de un sistema digital para tratar de reducir sus tiempos de propagación, caso de que interese aumentar la velocidad de trabajo.

El correcto funcionamiento de los biestables requiere, además de respetar su tiempo de anticipación, el mantenimiento del dato durante un tiempo de permanencia (*hold*) t_h posterior al flanco activo de reloj. El tiempo que tarda un dato en cambiar, en la entrada de un biestable, será el debido al retraso que sufre para recorrer el correspondiente camino, o sea, la suma de tiempos de propagación del biestable anterior y de la parte combinacional que atraviesa el camino:

$$t_p(FF1) + \sum t'_p(\text{parte combinacional}).$$

Para garantizar que el dato se mantiene estable durante un intervalo no inferior al tiempo de permanencia t_h ha de cumplirse que:

$$t_p(FF1) + \sum t'_p(\text{parte combinacional}) > t_h(FF2).$$

Caso de que esta desigualdad no se respete, se produce una violación de la permanencia del dato necesaria para asegurar el correcto funcionamiento del biestable **FF2**: «violación de *hold*»; es decir, el dato no se mantiene en la entrada de dicho biestable suficiente tiempo (después del flanco del reloj) para asegurar que será capturado correctamente.

En la primera desigualdad, referida a t_s , deben aplicarse los valores máximos de los tiempos de propagación, mientras que en la segunda, relativa a t_s , deben aplicarse tiempos de propagación mínimos:

$$T_{CK} > t_{p,máx}(FF1) + \sum t'_{p,máx}(\text{parte combinacional}) + t_{s,máx}(FF2)$$

$$t_h(FF2) < t_{p,min}(FF1) + \sum t'_{p,min}(\text{parte combinacional})$$

Estas dos desigualdades expresan las posibles violaciones de anticipación (*set-up*) o de permanencia (*hold*); con ellas, los analizadores de tiempos calculan los tiempos en cada camino, seleccionan los caminos críticos y detectan las violaciones de anticipación o de permanencia.

Obviamente las «violaciones de la anticipación» se resuelven directamente aceptando una frecuencia de trabajo suficientemente baja:

$f_{CK} < 1/\text{máx}(t_{pc})$ siendo $t_{pc} = t_{p,máx}(FF1) + \sum t'_{p,máx}(\text{combinacional}) + t_{s,máx}(FF2)$.

Cuando las «violaciones de la anticipación» afectan solamente a unos pocos caminos críticos cabe considerar la reducción de sus tiempos de propagación, mediante un rediseño de la parte combinacional que les afecta: $\sum t'_p(\text{parte combinacional})$.

En suma, la consecución de altas velocidades de trabajo pasa por la reducción de los tiempos de los caminos críticos y para ello se dispone de tres sumandos: el tiempo de propagación del primer biestable, el de la parte combinacional y el tiempo de anticipación del segundo biestable; de estos tres, salvo en casos excepcionales de biestables lentos, el mayor y más maleable suele ser el tiempo de propagación de la parte combinacional.

Para resolver las «violaciones de la permanencia» bastará aumentar el tiempo de propagación de la parte combinacional, incluyendo en ella un par de inversores sucesivos o, si la violación es relativamente pequeña, aumentando el tiempo de propagación de alguna puerta lógica intermedia, sustituyéndola por otra análoga con mayor *fan-out* (una puerta con mayor capacidad de carga contiene transistores de dimensiones mayores y presenta una mayor carga capacitiva sobre la puerta anterior).

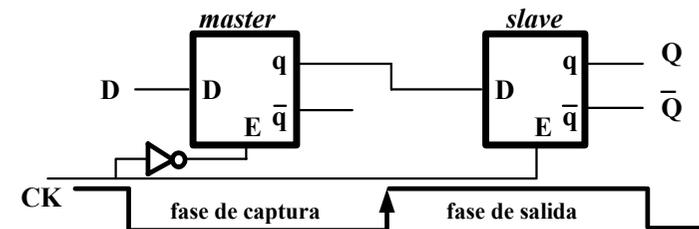
Ha de tenerse en cuenta que la resolución de «violaciones de la permanencia» aumenta los correspondientes tiempos de propagación en los caminos afectados y, por ello, puede disminuir la velocidad de trabajo alcanzable.

15.4. Separación entre las dos fases del reloj

El reloj de un sistema síncrono es una señal particular que organiza el manejo del tiempo y que, por su propia especificidad, requiere un detenido análisis conceptual.

La actividad del reloj no se refiere a niveles booleanos **0** y **1**, sino a las transiciones entre ambos. Esta «actuación por flanco» se refleja en la sucesión de dos valores (**0/1**), dando lugar a dos fases temporales (*captura/salida*) cuya función está en relación directa con la actuación de los dos biestables que conforman uno síncrono (*master/slave*).

El primer biestable básico efectúa la *captura* de los datos, mientras que el segundo biestable realiza la presentación o *salida* de los mismos. Existen pues dos tiempos diferentes en el funcionamiento de un sistema secuencial síncrono, intervalo de captura e intervalo de salida, que coinciden con cada uno de los semiperíodos del reloj.



El reloj habilita sucesiva y selectivamente al *amo* ($CK = 0$) y al *esclavo* ($CK = 1$), lo cual hace que el conjunto actúe como si fuera habilitado con flancos de subida (cuando CK pasa de 0 a 1).

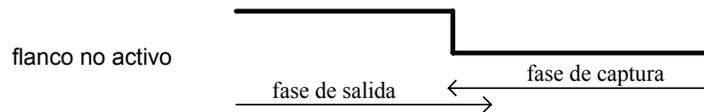
De forma que la existencia de flancos activos en la señal de reloj se debe a la sucesión de dos fases concordantes con los dos valores booleanos: la fase de *captura* o de habilitación del *amo* ($CK = 0$), en la cual «el amo captura el dato de entrada» y la fase de *salida* o de habilitación del *esclavo* ($CK = 1$), en que «el esclavo presenta en la salida el dato anteriormente capturado». Como el conjunto *amo/esclavo* sólo puede capturar el dato en la primera fase y presentarlo en la segunda, sus cambios de estado (del valor booleano presente en su salida) solamente pueden producirse en las transiciones de la fase de *captura* a la de *salida* (al inicio de la fase de salida el dato capturado pasa a ser el valor de la salida).

El buen funcionamiento de un sistema secuencial síncrono se basa en una separación neta entre las fases de captura y de salida: *Principio básico de separación de las fases de reloj*, de manera que la actuación de ambos biestables internos (*master*, *slave*) se encuentre netamente separada en el tiempo.

La correcta actuación del reloj requiere la «separación entre sus dos fases», es decir, la no coincidencia temporal de actuación de las mismas y ello tanto para cada biestable en particular como para los diversos biestables entre sí; lo cual tiene implicaciones directas en el diseño y utilización de los biestables y, también, sobre la señal de reloj.

Separación de las fases de reloj en un biestable

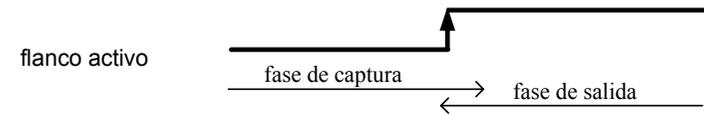
Hemos de considerar los dos momentos en que las fases pueden coincidir, es decir, tanto la transición de la fase de captura a la de salida (flanco activo del reloj), como la otra transición que va de la fase de salida a la de captura (flanco no activo).



Si la fase de captura se solapa con la de salida en el flanco no activo del reloj, puede producirse un cambio de estado en dicho flanco, lo cual constituye un grave error: durante el intervalo de habilitación de ambos (solape de fases), el *amo* podría capturar un nuevo valor y el *esclavo* podría recibirlo, dando lugar a un cambio de estado en el flanco no activo del reloj.

Para evitarlo, el diseño de cada biestable ha de asegurar que la habilitación del esclavo (fase de salida) finaliza antes de iniciarse la habilitación del amo (fase de captura); será necesario, en su caso, retrasar la habilitación del *amo*, de forma que el *esclavo* se bloquee previamente: ésta es una condición básica en el diseño de la configuración amo/esclavo.

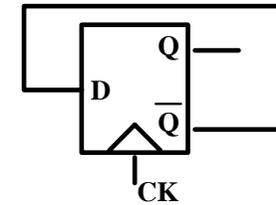
Por ello, en el diseño del conjunto *amo/esclavo*, el inversor necesario para diferenciar las dos fases *captura/salida* (es decir, las dos habilitaciones) se incluye siempre en la habilitación del *amo*, a fin de retrasarla respecto a la del *esclavo*.



Si la fase de salida se solapa con la de captura, en el flanco activo del reloj, puede producirse un «doble cambio de estado» en dicho flanco; es decir, en caso de que el biestable tenga realimentación sobre sí mismo, puede suceder que el nuevo estado traspasado a la salida del biestable dé lugar a un segundo nuevo estado que sea capturado y trasladado a la salida.

En tal caso, el primer nuevo estado asumido en el flanco activo del reloj resulta operativo y afecta al biestable en ese mismo flanco, sin esperar al siguiente flanco del reloj, lo cual es también un error funcional.

Un ejemplo sencillo puede clarificar este tipo de «doble cambio de estado» en un mismo flanco activo de reloj: sea un biestable síncrono **D**, con su entrada conectada a su salida negada,



al llegar el flanco activo del reloj este biestable cambia de estado (por ejemplo, pasa de valor 0 a 1); si la fase de captura se solapa con la de salida, es posible que la entrada capture el nuevo estado de \bar{Q} (\bar{Q} ha pasado de 1 a 0) y, una vez capturado, dicho valor pasará directamente a la salida, ya que se encuentra en fase de salida (Q pasará posteriormente de 1 a 0 : no habrá cambiado de valor, salvo un transitorio espurio).

Es precisamente el tiempo de permanencia del dato t_h (*hold*) el que asegura que el nuevo estado no afecta al biestable en su mismo flanco activo de reloj (sino en el siguiente): el tiempo de permanencia entra en juego para impedir el solapamiento entre la fase de captura de un nuevo dato y la de salida del dato anterior (la permanencia excluye la presencia de un nuevo dato y, consiguientemente, la posibilidad de su captura).

En relación con la onda de reloj, la separación de fases requiere que los flancos de dicha señal sean adecuadamente «verticales»; es decir, que el tiempo de transición entre los valores booleanos, en ambos flancos, sea reducido. Si la conmutación entre los valores booleanos es lenta pueden existir intervalos de indefinición en que ambos biestables, el amo y el esclavo, se encuentren habilitados a la vez.

Separación de las fases de reloj entre los diversos biestables

La condición de «no solapamiento» debe cumplirse, no sólo en cada biestable respecto de sí mismo, sino también respecto a todos los demás. De esta forma se garantiza que el nuevo valor que presentan los biestables, tras el flanco activo del reloj, no afecta a ningún biestable hasta que se produce el siguiente flanco activo.

Damos por supuesto que el diseño de los biestables asegura la separación de fases en cada uno de ellos en los flancos no activos del reloj y, por tanto, en dichos flancos no puede producirse cambio del estado de los biestables.

Ahora bien, en los flancos activos del reloj puede suceder que un biestable presente su nuevo valor de salida antes de finalizar la fase de captura del segundo biestable, conectado (a través de la correspondiente parte combinacional) al primero. Es decir, podría solaparse la fase de captura del segundo biestable con la fase de salida del primero de ellos; en tal caso, también puede producirse el «doble cambio de estado» comentado anteriormente, o sea, la actuación de la nueva salida de un biestable sobre otro de ellos en el mismo flanco de reloj.

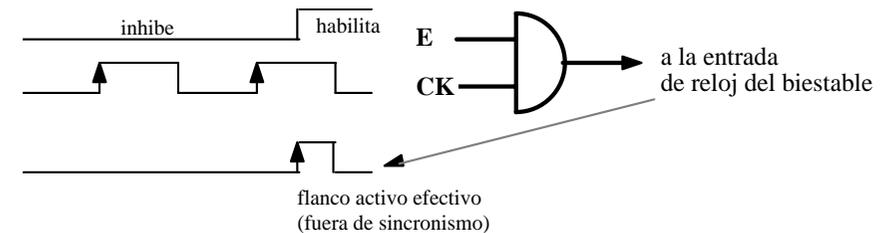
Al igual que en el caso de un simple biestable, el tiempo de permanencia del dato t_h evita la efectividad de este solapamiento de fases entre diversos biestables, con tal, claro está, de que la señal de reloj llegue simultáneamente a todos los biestables. Si los retrasos en la propagación de la onda de reloj hacen que los flancos activos que actúan sobre los diversos biestables no sean simultáneos, pueden existir intervalos de solapamiento entre las fases de salida de uno de ellos y las de captura de otros que den lugar a errores funcionales («dobles cambios de estado», o sea, que una transición de estado produzca efectos sobre la entrada de algún biestable en el mismo flanco en que ésta se produce).

15.5. Precauciones relativas a la señal de sincronismo

El *reloj* es una señal especial que estará conectada a la entrada de sincronismo de todos los biestables para que el cambio de estado de los mismos se produzca en el flanco activo de dicha señal.

Conviene destacar la necesidad de *no contaminación* de la propia señal de reloj: el reloj debe ser enviado directamente a los biestables y, en ningún caso, debe condicionarse la onda de reloj con habilitaciones, ni efectuar ninguna operación booleana sobre la misma: el reloj no debe atravesar ninguna puerta lógica (fuera de los biestables), sino que debe ser comunicada por conexión directa a las entradas de reloj de todos los biestables.

Cualquier operación o función lógica realizada sobre la señal de reloj pone en peligro el concepto de sincronismo, al introducir la posibilidad de que se produzcan «flancos activos espurios» sobre la entrada de reloj del biestable afectado, no simultáneos con el flanco activo propio del reloj.



En el caso de la figura, se pretende inhibir la actuación de un biestable cuando $E = 0$ mediante una puerta "y" que impide el paso de la señal de reloj; ahora bien, si una vez anulado el paso de un flanco activo E pasa a valor 1 durante el intervalo en que la señal de reloj sigue en 1 , se producirá un flanco en la entrada de reloj del biestable coincidente con el flanco de E y fuera de sincronismo respecto a la auténtica señal de reloj CK .

La señal de reloj debe poseer como características propias las siguientes: *verticalidad*, *simultaneidad* y *fuerza*. Estos tres requisitos indicados se derivan de la necesidad de separación neta entre las fases de *captura* y *salida*, de evitar solapes entre la habilitación de todos los primeros biestables básicos del conjunto amo/esclavo ($CK = 0$) y la habilitación de los segundos biestables de dicho conjunto ($CK = 1$).

La onda de reloj debe ser sumamente *vertical* para que no puedan producirse solapes en la habilitación de los dos «semibestables» (amo/esclavo) que conforman cada biestable síncrono. La verticalidad de la señal de reloj asegura que los cambios booleanos que se producen a partir del flanco activo del reloj no afecten al valor contenido en el *esclavo* ya que el *amo* se encontrará inhibido; también asegura que la habilitación *amo* cuando recibe el otro flanco de reloj coincide con la inhibición del *esclavo*.

Flancos suaves en la onda de reloj pueden dar lugar a intervalos temporales con niveles booleanos imprecisos, en que ambos biestables (*master/slave*) se encuentren habilitados a la vez, rompiendo la condición de no solapamiento entre las fases.

El reloj debe llegar *a la vez* a todos los biestables para que su conmutación sea simultánea; ello exige que no exista ninguna puerta intermedia en las líneas que comunican el reloj y que dichas líneas sean lo más cortas posibles, a fin de evitar todo tipo de retardo en la propagación del reloj.

La falta de simultaneidad hará que la fase de *captura* de algún biestable se solape con la de *salida* de otro biestable previo y pueda producirse «doble cambio de estado», o sea, la actuación de la nueva salida del primer biestable sobre el segundo en el mismo flanco activo de reloj en que tal salida se produce.

Ambas características de la señal de reloj, *simultaneidad* y *verticalidad*, requieren una tercera complementaria: *fuerza*, es decir, capacidad para suministrar una intensidad adecuada para que la transmisión del reloj sea muy rápida (habida cuenta de los efectos capacitivos de las líneas de conexión) y para conmutar rápidamente las múltiples entradas de reloj de los biestables (que, asimismo, suponen una carga capacitiva).

Capacidad de suministro de intensidad equivale a capacidad de carga sobre la señal y se traduce en transmisión rápida a través de líneas directas y conmutación rápida, aún en el caso de un gran número de entradas conectadas sobre tal señal.

En los flancos de la señal de reloj se producen fenómenos de carga y descarga de las capacidades equivalentes de las múltiples entradas a las que dicha señal está conectada. Si su capacidad de carga, es decir, la intensidad que es capaz de suministrar no es suficientemente alta se prolongará en gran medida el tiempo de conmutación (flancos suaves) y se generarán retardos diferentes en la comunicación del reloj a las diversas entradas de los biestables (pérdida de la simultaneidad).

Para facilitar la transmisión de la señal de reloj existen celdas específicas que, además de proporcionar altos valores de intensidad de salida (*buffers* de intensidad), ofrecen múltiples salidas que permiten conectar un *fan-out* elevado, asegurando tiempos iguales en la propagación del reloj a todas ellas; tales adaptadores «múltiples» de reloj reciben el nombre de *clock drivers* (distribuidores de reloj).

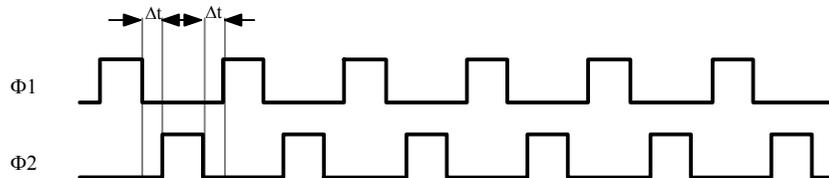
Reloj de dos fases separadas

En general, en sistemas integrados no muy complejos realizados con circuitos integrados estándar no es difícil evitar el solape entre las fases de captura y de salida si se cumplen las recomendaciones relativas a los tiempos de los biestables y a la señal de reloj; recomendaciones que afectan tanto al propio diseño del circuito como al de la placa de circuito impreso que los conecta.

Ahora bien, en sistemas muy amplios (o en aquellos que requieren alta seguridad de funcionamiento) y, sobre todo, en estructuras integradas complejas es frecuente la utilización de un reloj de dos fases no solapadas $\phi 1$ y $\phi 2$, con un intervalo temporal de separación entre ambas; cada una de las fases corresponde a la habilitación de uno de los dos biestables básicos de la configuración amo/esclavo:

$\phi 1$ determina el intervalo de *captura* (habilitación del primer biestable *master*)

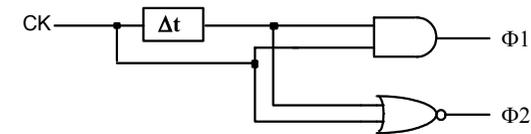
y $\phi 2$ coincide con el intervalo de *salida* (habilitación del segundo biestable *slave*).



De este modo, pequeños retrasos en la propagación de las señales o en los tiempos de subida o bajada de ellas quedan cubiertos por el tiempo de separación entre las dos fases y no provocan errores funcionales, ya que la habilitación de cada biestable (*master/slave*) se produce en intervalos claramente distintos y separados en el tiempo.

El intervalo de separación Δt ha de ser mayor que el tiempo de permanencia del dato t_h de los diversos biestables síncronos sumado al mayor de los tiempos de propagación de las señales de reloj a ellos; si esto se cumple, la utilización de dos fases separadas de reloj, $\phi 1$ $\phi 2$, asegura un correcto funcionamiento del mismo. Tanto el tiempo de mantenimiento, como pequeños retrasos en la propagación de las señales de reloj o los propios tiempos de subida o de bajada de ellas quedan cubiertos por el tiempo de separación entre las dos fases y no provocan errores funcionales.

El siguiente esquema circuital sirve para la generación de dos fases de reloj separadas a partir de una onda normal de reloj **CK**:



El componente señalado como Δt produce simplemente un retraso en la señal y puede hacerse mediante un simple circuito RC o bien mediante una serie de inversores sucesivos (cada uno de los cuales retrasará la señal según su tiempo de propagación).

La separación de fases en este circuito se produce porque, para dar salida **1**, la puerta "y" requiere dos «unos» y la puerta "o-negada" requiere dos «ceros» y, en ambos casos, uno de ellos llega con un retraso Δt .