

## 10 FAMILIAS LÓGICAS INTEGRADAS

- 10.1. Panorama general de las familias lógicas integradas
- 10.2. Características a tener en cuenta en una familia lógica
- 10.3. El ruido en los sistemas digitales

El proceso de miniaturización de la electrónica, iniciado en la década de los 50 con la utilización del transistor, continuó con un segundo salto cualitativo en la década siguiente (años 60) mediante la integración de subcircuitos completos en un mismo sustrato de silicio (*chip*): subcircuitos correspondientes a módulos digitales tales como puertas booleanas, biestables o bloques combinacionales o secuenciales.

Los circuitos digitales son sumamente apropiados para su inserción en circuitos integrados: de un lado, la ausencia de autoinducciones y el poder prescindir, asimismo, de condensadores reduce los elementos a integrar a transistores y resistencias y a las conexiones de estos entre sí; de otro, la propia modularidad de los sistemas digitales precisa de un número reducido de tipos de puertas lógicas, e incluso, basta con un solo tipo de ellas (puertas *Nand* o *Nor*).

Por ello, los circuitos integrados invadieron muy pronto el campo digital; en unos pocos años resultó anacrónico y antieconómico construir las puertas booleanas con componentes discretos, una vez que se disponía de una gran variedad de puertas lógicas y de una amplia serie de funciones de gran complejidad construidas dentro de un circuito integrado.

El presente capítulo repasa la evolución de las diversas familias lógicas integradas. En primer lugar, las puertas bipolares que condujeron a la gran familia *TTL* (cuya amplia difusión consolidó la lógica integrada); luego las tecnologías *MOS*, hasta llegar a la predominante *HCMOS*; la mezcla *BiCMOS* (bipolar-CMOS) que resulta muy apropiada para circuitos «interbiús» (en medio de los buses); y la derivación actual hacia series de bajo voltaje (pasando de la alimentación habitual de 5 V a sólo 3 V).

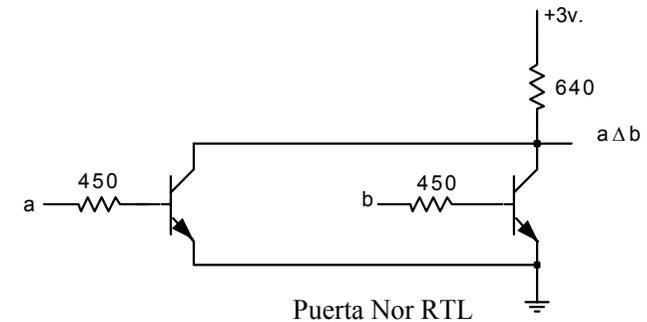
En todo caso, para elegir y utilizar correcta y eficazmente una familia lógica (y, dentro de ella, una serie específica) es preciso tener en cuenta sus características funcionales. Aún más, es requisito previo para ello comprender el significado conceptual y las implicaciones prácticas de tales características y ser capaz de localizar y «hacer una lectura efectiva» de las mismas en los catálogos que suministran los fabricantes de circuitos integrados.

Entre las diversas cuestiones a las que prestar atención aparece el «ruido electromagnético» como un «compañero no deseado» que puede perturbar el correcto funcionamiento de un circuito digital y que requiere una actitud vigilante y un importante esfuerzo de «autoprotección» en el proceso de diseño y puesta a punto del circuito. Pero, a la vez, la producción de «ruido electromagnético» por el propio circuito obliga a un esfuerzo complementario de reducción de la emisión de perturbaciones para cumplir con las normativas de compatibilidad electromagnética.

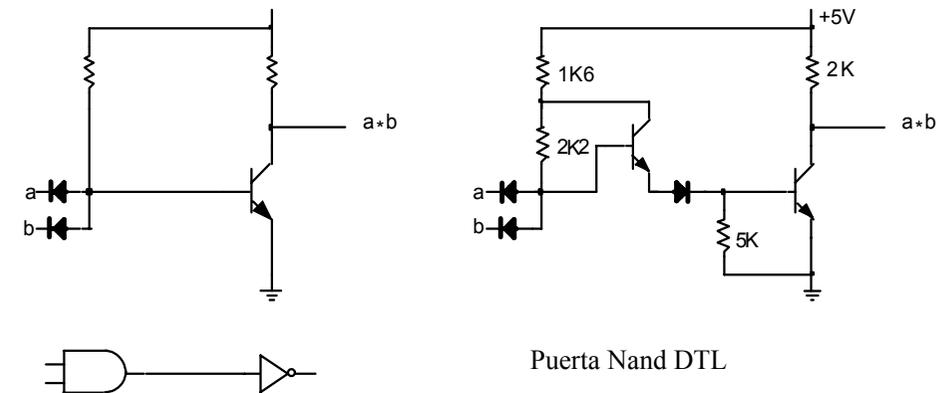
### 10.1. Panorama general de las familias lógicas integradas

#### 10.1.1. Primeras familias lógicas: C. I. con transistores bipolares

Las primeras puertas lógicas integradas eran mera copia directa de las puertas "o-negada" (*Nor*) con componentes discretos, mediante la conexión en paralelo de varios transistores bipolares NPN en emisor común; tales puertas dieron lugar a la primera familia lógica: **RTL** (lógica de transistores y resistencias).

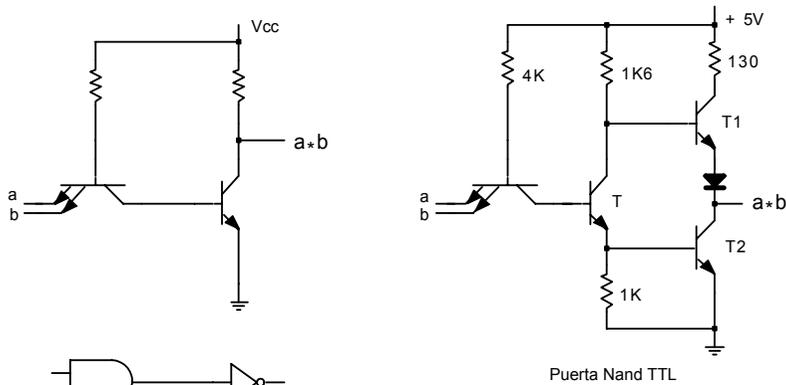


Pronto se mejoraron las características de estas puertas integradas, en cuanto a velocidad y a consumo, combinando una puerta "y" de diodos con un transistor inversor en emisor común; así se configuró la puerta "y-negada" (*Nand*) base de la familia **DTL** (lógica de transistores y diodos) que fue la primera que llegó a alcanzar una difusión apreciable.



A partir de este esquema (puerta "y" + inversor), aprovechando en mayor profundidad las posibilidades que ofrece la integración sobre un sustrato único, se planteó una segunda mejora en velocidad y en consumo, añadiendo una etapa de salida amplificadora de intensidad (dos transistores en *push-pull*) y substituyendo los diodos por un transistor multiemisor.

El resultado fue la gran familia lógica **TTL** (lógica de transistores con transistores).



La etapa de salida de dos transistores NPN (*totem pole*: «palo de tótem») aumenta la intensidad suministrable y disminuye la resistencia de salida; el transistor multiemisor mejora considerablemente la conmutación de la puerta (en una primera aproximación, su comportamiento puede ser analizado en términos de diodos:



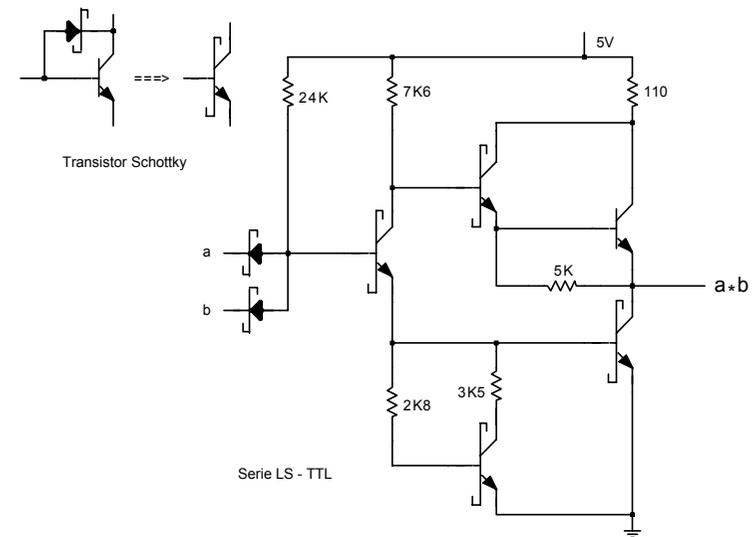
La clave del funcionamiento de la puerta **TTL** es el sentido en que circula la intensidad que la base del transistor multiemisor recibe desde la resistencia de 4K:

- si dicha corriente va «hacia fuera», es decir, si alguna de las entradas está conectada a **0**, el transistor T se encontrará en corte y el transistor T1, en colector común, transmite un **1** a la salida;
- cuando todas las entradas se encuentran a **1** dicha intensidad circula «hacia dentro», hacia la base del transistor T, que se satura y lleva también a saturación al transistor T2, que pone la salida a **0**. [Un **0** en una entrada supone una intensidad «hacia fuera», de forma que una entrada TTL «al aire» equivale a un **1**, salvo efectos de ruido.]

Las puertas **TTL** se alimentan a 5 V; su tensión de conmutación se sitúa en el entorno de 1,2 V, de manera que un **0** en la entrada ha de ser menor de 1 V ( $V_{iLmáx} = 1 \text{ V}$ ) y, en cambio, una tensión superior a 1,5 V es entendida como un **1** ( $V_{iHmín} = 1,5 \text{ V}$ ); la tensión de salida para el **0** es 0 V, pero la correspondiente al **1** es de solamente 4 V. Los tiempos de propagación de la serie **TTL** estándar son del orden de 10 ns y el consumo promedio es de unos 2 mA (10 mW).

La familia **TTL** proporcionó la base del gran desarrollo que tuvieron los sistemas digitales durante la década de los 70; su amplia difusión y utilización favoreció la aparición de diversas series derivadas de la mejora de características concretas, una de las cuales, la serie **LS** ha sustituido por completo a la serie estándar inicial y es la que se ha seguido utilizando a lo largo de la década de los 80.

La serie **74LS** (*low power Schottky*) mejora en gran medida a la serie estándar en cuanto a consumo (0,4 mA), manteniendo la velocidad de trabajo en valores análogos e incluso, algo superiores. La disminución del consumo se deriva del empleo de resistencias de mayor valor, lo cual acarrea un aumento de las constantes de tiempo asociadas; este efecto queda compensado por la inclusión de un diodo Schottky entre base y colector de los transistores que impide su saturación (desvía la corriente de base hacia el colector antes de entrar en una saturación profunda) y, con ello, aumenta su velocidad de conmutación.



Posteriores series «avanzadas» con el mismo esquema circuital han aprovechado la reducción de dimensiones de los transistores y la correspondiente disminución de sus capacidades parásitas para conseguir tiempos de propagación inferiores: la serie **74ALS** (*advanced LS*) presenta tiempos por debajo de 4 ns, mientras que las series **74F** (*fast-TTL*) y **74AS** (*advanced Schottky*) ofrecen tiempos de propagación del orden de 2,5 ns y 1,5 ns, respectivamente, a costa de un mayor consumo (por utilizar resistencias de menor valor).

«Protohistoria»



Esta línea de evolución de las puertas con transistores bipolares constituye la «edad antigua» de los circuitos integrados digitales; actualmente, apenas se utilizan las familias bipolares, salvo en determinadas aplicaciones específicas, en particular, para sistemas de muy alta velocidad.

La serie **74LS** sigue siendo útil para «recambio y mantenimiento» de los numerosos sistemas digitales que han sido construidos con ella (o con la serie estándar **74**), la serie **74ALS** se emplea en circuitos «interbús» (aplicación que consideraremos un poco más adelante) y la serie **74F** resulta adecuada para diseños de muy alta velocidad de trabajo (frecuencias superiores a los 100 MHz).

[El apéndice A3 describe las puertas con transistores bipolares y el funcionamiento en detalle de la puerta básica TTL.]

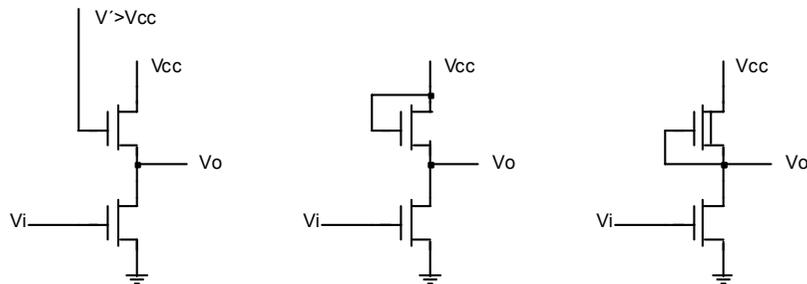
### 10.1.2. Desarrollo de las tecnologías MOS: familia CMOS

La integración de transistores MOS presentó inicialmente grandes dificultades, derivadas de ser un efecto superficial que es afectado por cualquier impureza o dislocación en la superficie del cristal de silicio; fue preciso desarrollar técnicas de muy alta limpieza ambiental que no estuvieron disponibles hasta mediados de los años 70. Sin embargo, una vez que se dispuso de tales técnicas, las extraordinarias ventajas de los transistores MOS (referidas a autoaislamiento, autoalineamiento, tamaño y consumo) determinaron un rápido desarrollo y difusión de los circuitos integrados digitales MOS.

En una primera fase resultó más sencillo integrar transistores MOS de canal P, pero pronto fueron desplazados por los transistores NMOS cuya velocidad de conmutación es apreciablemente mayor (debido a la mayor movilidad de los electrones respecto de los huecos).

La utilización de transistores MOS como «resistencias de polarización» permite configurar puertas lógicas utilizando únicamente transistores y reduce considerablemente el área de integración, al prescindir de resistencias integradas de valores relativamente altos. De esta forma, las puertas MOS suponen un nuevo avance cualitativo en la miniaturización de la electrónica digital, reducción que afecta no solamente al tamaño y a la densidad de integración, sino también, y en forma aún más significativa, al consumo.

La figura siguiente muestra la evolución de las puertas NMOS en relación con el transistor que actúa como «resistencia de polarización»:



En los tres inversores de la figura el transistor superior se encuentra siempre en conducción y equivale a una «resistencia de polarización».

Para que dicho transistor superior conduzca se requiere una tensión entre puerta y fuente igual o superior a su tensión umbral: por ello, inicialmente (primer inversor) fueron necesarias dos tensiones de alimentación ( $V' > V_{CC} + V_{TO}$ ); luego (segundo inversor) se utilizó una sola tensión de alimentación pero la tensión de salida para el **1** quedaba reducida a  $V_{CC} - V_{TO}$ .

Actualmente las tecnologías NMOS emplean como polarización un transistor MOS de empobrecimiento, en cuyo proceso de integración se crea un canal mediante implantación iónica, de forma que conduce incluso en ausencia de tensión entre puerta y fuente; su tensión umbral es negativa  $V_{TO} < 0$ , de modo que para cortar la conducción se requiere una tensión de puerta aún más negativa que destruya el canal.

El análisis circuital de los tres inversores es análogo:

- para  $V_i < V_{TO}$  el transistor inferior se encuentra en corte y el superior comunica a la salida la tensión  $V_{CC}$ :  $V_o = V_{CC} = 1$  (si bien en el segundo caso se produce un desplazamiento de dicha tensión:  $V_o = V_{CC} - V_{TO}$ );
- para  $V_i \gg V_{TO}$  el transistor inferior conduce, pero también lo hace el transistor superior: es preciso establecer una relación geométrica entre ambos para que el transistor inferior presente una resistencia mucho menor que el superior y la tensión de salida sea muy pequeña:  $V_o \ll 1 V$  (con lo cual  $V_o \approx 0$ ).

Habida cuenta de que la intensidad que conduce un transistor MOS es directamente proporcional a su anchura  $W$  e inversamente proporcional a su longitud  $L$ , para asegurar que, cuando conducen ambos transistores, el inferior presente una resistencia mucho menor que la del transistor superior se requiere que:

$$[W/L]_{\text{inferior}} \gg [W/L]_{\text{superior}}.$$

Esta desigualdad expresa una relación entre las geometrías de los dos transistores que ha de mantenerse en el diseño y posterior integración de este tipo de puertas **NMOS**.

La tecnología **NMOS** actual utiliza puertas formadas por un plano de transistores activos NMOS y un transistor MOS de empobrecimiento como resistencia de polarización; aprovecha plenamente la tensión de alimentación, pues  $V_{oH} = V_{CC}$  y  $V_{oL} \approx 0 V$ , y su consumo es muy reducido, ya que  $R_i \sim \infty$  y la resistencia del transistor de polarización se hace adecuadamente alta. Esta tecnología resulta muy apropiada para la integración de muy alta densidad (*VLSI*) y sigue utilizándose en grandes bloques digitales (microprocesadores, memorias, etc.) y en los circuitos integrados programables de tipo matricial (PROM, PAL, PLA, PLS).

Ahora bien (como ya hemos visto en el capítulo 8, dedicado a puertas CMOS), la utilización conjunta de transistores de canal N y de canal P (NMOS y PMOS) permite que el consumo estático de las puertas sea nulo; ello dio lugar a la lógica **CMOS** (lógica con transistores MOS complementarios).

La primera serie **CMOS** adoptó el indicativo **40** y presentaba fuertes limitaciones en cuanto a velocidad e inmunidad frente al ruido. Esta serie admite un amplio intervalo de tensiones, desde 3 a 18 voltios, y rizados del 10 % (debido a su reducido consumo), lo cual elimina la necesidad de un buen filtrado y estabilidad en la fuente de alimentación; su velocidad depende fuertemente de la tensión de alimentación, con tiempos de propagación de 200 ns para  $V_{CC} = 3$  V que pasan a ser de 100 ns para  $V_{CC} = 5$  V y se reducen a 20 ns cuando  $V_{CC} = 15$  V.

La gran difusión que había tenido la familia **TTL**, con anterioridad a la disponibilidad de integrados **CMOS**, había habituado a quienes trabajaban en el ámbito de la electrónica digital a la utilización de los circuitos integrados de dicha familia y a conocer los números y los terminales de tales circuitos; por ello, atendiendo a la demanda de los usuarios, se desarrolló la serie **74C**, compatible en cuanto a funciones y terminales de los circuitos integrados del mismo número con la familia **TTL** (por ello adopta el mismo indicativo numérico **74**).

Las características de la primera serie **74C** son algo mejores que las de la serie inicial **40**; pero, muy pronto, el desarrollo continuado de las tecnologías de integración **MOS** hizo posible la utilización de transistores de dimensiones cada vez más pequeñas y, consiguientemente, más rápidos.

La serie **74HC** de «alta velocidad» ofrece la misma velocidad de trabajo que la serie **LS-TTL** (tiempos de propagación inferiores a 10 ns) y análoga inmunidad frente al ruido, con un consumo estático nulo; por ello, ha desplazado por completo a la familia **TTL** y es actualmente la más utilizada.

Para facilitar la utilización conjunta de circuitos integrados **TTL** y **CMOS** se introdujo la serie **74HCT**, compatible con los niveles de tensión y de intensidad de la familia **TTL**, que permite la conexión directa entre ambas familias.

Recientemente, se ha presentado una serie avanzada **74AHC**, con tiempos de propagación inferiores a 5 ns y una significativa reducción del «ruido» que las puertas producen en su conmutación. Existe también una serie de alta velocidad **74AC**, con tiempos de propagación del orden de 3 ns, pero con problemas de «ruido» en la conmutación debido a la gran verticalidad de sus flancos.

#### «Tecnologías MOS»



#### 10.1.3. Lógica «interbús»

Una aplicación particular de los circuitos digitales que requiere prestaciones específicas se refiere a aquellos circuitos que han de situarse en medio de un bus (adaptadores de bus, controladores o decodificadores, etc.); tales circuitos, a los que nos referiremos con el calificativo de «interbús», precisan de tiempos de propagación muy bajos para no retrasar las señales que circulan por el bus y de altas intensidades de salida, ya que el bus que transmiten suele ir conectado a un amplio número de circuitos.

La serie **74ALS**, además de sus reducidos tiempos de propagación, inferiores a 4 ns, permite intensidades de salida de 24 mA para el **1** y 32 mA para el **0**, resultando adecuada para su utilización «interbús».

Por otra parte, el proceso de desarrollo de las tecnologías **MOS** ha proseguido a través de la integración conjunta de transistores **MOS** y transistores bipolares **NPN**, mediante una ampliación directa del proceso de integración **CMOS**. Esta nueva tecnología, mezcla de bipolar y **CMOS**, recibe el nombre de **BiCMOS** y resulta muy apropiada para los circuitos «interbús» y para la integración de circuitos mixtos, con parte analógica y parte digital.

Una puerta (o un bloque integrado) **CMOS** necesita que los transistores que proporcionan la salida sean de gran anchura para que la intensidad suministrable sea del orden de 10 mA. La tecnología **BiCMOS** añade a las puertas **CMOS** una etapa de salida *totem pole* de transistores bipolares, análoga a la que llevan las puertas **TTL**, la cual permite altas intensidades de salida y evita el fuerte efecto capacitivo de los transistores **MOS** de gran anchura.

La tecnología **BiCMOS** ha evolucionado a través de diversas series, de las cuales se ha consolidado y se utiliza actualmente la serie avanzada **74ABT** (*advanced BiCMOS technology*), que permite intensidades de salida de 32 mA para el **1** y 64 mA para el **0** y cuyos tiempos de propagación son menores de 3 ns.

Además, la tecnología **BiCMOS** presenta consumo estático también nulo para su salida en alta impedancia, siendo así que en tecnología **TTL** dicho consumo es aún más elevado que para salida booleana **0/1**.

#### 10.1.4. Lógica de baja tensión

En la última década ha adquirido una gran importancia el desarrollo de circuitos de muy bajo consumo, en particular para sistemas portátiles, aplicaciones médicas, sistemas de alimentación ininterrumpida o por energía solar,... y, en general, para reducir la fuente de alimentación y el consumo energético que requieren los sistemas digitales amplios.

Ciertamente el consumo **CMOS** estático es nulo pero no así el dinámico, el cual es apreciable en el caso de altas frecuencias. Ahora bien, el consumo dinámico depende cuadráticamente de la tensión de alimentación ( $V_{CC}$ )<sup>2</sup> y, por ello, una disminución de la misma tiene una incidencia muy favorable sobre el consumo global de los circuitos **CMOS**: la reducción de la tensión típica de 5 V a otra de 3 V se traduce en una disminución del consumo a la tercera parte (ahorro del 65 %).

Se han desarrollado series de «bajo voltaje» cuya tensión nominal es de 3,3 V que admiten también tensiones de alimentación inferiores, abarcando el intervalo que va desde 1,2 hasta 3,6 V; este intervalo cubre adecuadamente desde las pequeñas baterías de níquel-cadmio 1,2 V hasta las pilas de litio de alta capacidad 3 V, pasando por las diminutas pilas de mercurio 1,3 V y las habituales pilas alcalinas 1,5 V.

La serie **74LV** es equivalente a la **74HC** para bajas tensiones de alimentación, con análogos tiempos de propagación (~10 ns) cuando la tensión de alimentación no es inferior a 3 V; sus tiempos de propagación aumentan fuertemente al disminuir la tensión, situándose en los 50 ns para 1,2 V.

Existe asimismo una serie BiCMOS de baja tensión **74LVT** para trabajar en el intervalo 2,7-3,6 V con tiempos de propagación inferiores a 4 ns.

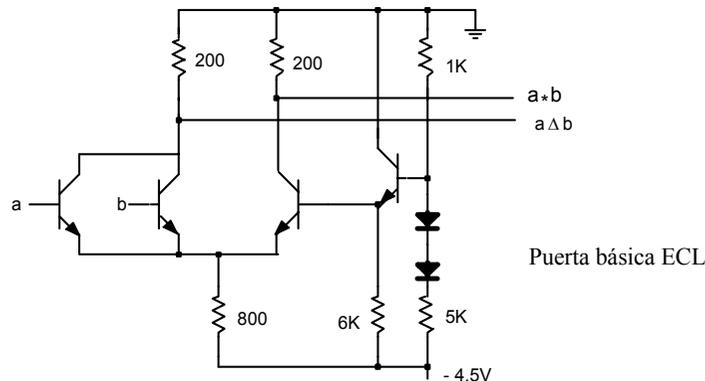
### 10.1.5. Lógica de muy altas velocidades

Para la construcción de sistemas digitales que han de funcionar a muy altas velocidades (por encima de los 50 MHz) es preciso utilizar series especiales, con muy bajos tiempos de propagación.

La serie CMOS **74AC** (tiempo de propagación de 3 ns) alcanza los 80 MHz de frecuencia de reloj en los sistemas síncronos, mientras que las series TTL **74F** y **74AS** (2,5 y 1,5 ns, respectivamente) permiten trabajar con frecuencias de reloj de 100 y 150 MHz, respectivamente.

Para velocidades aun mayores se cuenta con una familia ultrarrápida **ECL** (lógica de acoplo por emisor) que utiliza como etapa básica un amplificador diferencial, aprovechando la intensidad constante que tal etapa conduce para conmutarla entre las dos ramas que configuran la etapa diferencial.

La familia **ECL** no emplea la conmutación en tensión entre los estados de corte y saturación (con los retrasos inherentes a la transición entre ambos) sino que funciona en «modo de corriente», haciendo corresponder cada valor booleano con la conducción de intensidad por una de las ramas del amplificador diferencial.



La intensidad que circula por la puerta **ECL** es constante y los estados booleanos vienen definidos por el paso de dicha intensidad por una u otra de las dos ramas diferenciales. Los transistores no alcanzan la situación de saturación, por ello su conmutación es muy rápida; sus tiempos de propagación, inferiores a 0,8 ns (serie 100K), permiten alcanzar 300 MHz de velocidad de reloj en los sistemas síncronos.

El consumo de la familia **ECL** es relativamente alto, cercano a los 40 mW por puerta. En cambio, al no existir variaciones de intensidad entre ambos estados booleanos, se evita el «ruido electromagnético» que las conmutaciones producen sobre las líneas de alimentación; esta anulación del ruido «autoinducido» es muy importante cuando se trabaja a muy altas frecuencias y, por tanto, los intervalos de tiempo disponibles para la estabilización de los valores booleanos son muy pequeños.

Conviene expresar aquí la siguiente aclaración: Acostumbrados como estamos en los últimos años a las extraordinarias velocidades de los procesadores (que alcanzan varios GHz) debe tenerse en cuenta que se refieren al interior del circuito integrado y que la velocidad de trabajo «hacia fuera», en sus terminales, es considerablemente inferior. En el interior de un circuito integrado pueden conseguirse velocidades muy altas, debido a que los componentes y conexiones internos son diminutos y los efectos capacitivos son muy reducidos; en cambio, la velocidad de trabajo del circuito integrado en relación con el exterior ha de referirse a capacidades del orden de 10 pF y a etapas de salida amplias, capaces de suministrar varios miliamperios. Al hablar de tiempos de propagación y de velocidad de trabajo en este capítulo y en los anteriores nos referimos al «exterior» del circuito integrado, a las señales en los terminales del mismo.

### 10.2 Características a tener en cuenta en una familia lógica

Las características funcionales de una familia que es preciso tener en cuenta para su utilización en el diseño, montaje y comprobación de sistemas digitales son las siguientes:

- esquema y comportamiento circuital de su puerta básica
- tensión de alimentación
- tensiones e intensidades  $V_o$ ,  $I_o$ ,  $V_i$ ,  $I_i$ , para ambos valores booleanos
- velocidad de trabajo
- consumo
- intervalo de temperaturas
- conectividad (*fan-out*, *fan-in* y flexibilidad de entradas y salidas)
- coste

Otra característica de particular importancia, el comportamiento frente al «ruido electromagnético», será tratada en el siguiente apartado de este capítulo.

Los datos necesarios para analizar las características de cada familia lógica y, más específicamente, las de cada uno de los circuitos integrados que la componen se encuentran en los correspondientes catálogos de las firmas fabricantes. Generalmente dichos catálogos no representan los dos estados booleanos con los valores **0** y **1** sino con los términos **L** (*low*) y **H** (*high*).

• Esquema y comportamiento circuital de la puerta básica

En primer lugar, es preciso conocer el esquema del circuito que configura la puerta básica de la familia lógica, a un nivel genérico y conceptual (que no tiene necesariamente que incluir todos los detalles), y comprender su comportamiento eléctrico en los dos estados booleanos y en las transiciones entre ambos. Parte fundamental de este comportamiento es identificar con claridad la variable física que diferencia la situación que corresponde al **0** booleano de la que corresponde al **1**; es decir, la causa física que determina el que la puerta lógica se encuentre en un estado booleano o en el otro.

Las puertas **CMOS** contienen dos planos de transistores (PMOS y NMOS) y para cada vector de entrada conduce solamente uno de ellos. Cada transistor se encuentra en conducción o en corte según que la tensión entre puerta y fuente supere o no a la tensión umbral del transistor: los transistores NMOS conducen cuando  $V_i > V_{T0}$  y los PMOS lo hacen cuando  $V_i < V_{CC} - V_{T0}$ . La combinación dual serie-paralelo entre ambos planos determina que conduzca uno y solamente uno de ellos; el plano **P** transmite a la salida un **1**, mientras que el plano **N** lleva la salida a **0**.

La puerta básica **TTL** se encuentra conformada por tres etapas sucesivas: una puerta "y" de entrada, un inversor central y un amplificador de intensidad que configura la etapa de salida. La diferencia entre los dos estados booleanos corresponde al hecho de que la intensidad que circula por la etapa inicial (la intensidad en la resistencia de la puerta "y") sea asumida «hacia afuera» a través de alguna de sus entradas (**0** booleano en la misma) o circule «hacia adentro» saturando el transistor intermedio T (situación que corresponde a todas las entradas a **1**).

Del comportamiento circuital de la puerta básica puede deducirse una serie de consecuencias prácticas que deben tenerse en cuenta en la utilización de los circuitos integrados de la familia.

• Tensión de alimentación

La tensión típica de alimentación de los circuitos digitales es de 5 voltios. Dicha tensión es la propia de las diversas series **TTL** (entre 4,75 y 5,25 V) que, además, requieren que su rizado sea muy reducido; en suma, necesitan una fuente de alimentación bien filtrada y estabilizada.

Las puertas **CMOS** admiten tensiones de alimentación diversas dentro de un intervalo relativamente amplio y no requieren estabilidad ni ausencia de rizado en las mismas. La serie **HC** admite una alimentación entre 2 y 6 V.

Actualmente hay una fuerte tendencia a utilizar tensiones de alimentación más reducidas para disminuir el consumo dinámico y para permitir, con ello, mayores velocidades de trabajo y mayores densidades de integración. En tal sentido, la tensión de alimentación de 3 V está sustituyendo paulatinamente a la habitual de 5 V; cada vez es más frecuente que circuitos integrados complejos y de muy alta velocidad se suministren solamente para alimentación de 3 V e incluso para tensiones inferiores (2,5 V; 1,8 V).

• Tensiones e intensidades  $V_o, I_o, V_i, I_i$ , para ambos valores booleanos

Interesa conocer los intervalos de tensión propios del **0** y del **1** booleano tanto en la entrada como en la salida, así como las intensidades asociadas a dichos intervalos.

Los valores de las tensiones pueden expresarse en forma conjunta y directa mediante una gráfica «tensión de salida / tensión de entrada» (función de transferencia  $V_o / V_i$ ), representando para cada valor de tensión de entrada entre 0 y  $V_{CC}$  el valor de tensión que adopta la salida.

Generalmente, los catálogos no incluyen estas curvas de transferencia sino que expresan tales datos en forma tabular mediante los siguientes parámetros:

+ referentes a la entrada:  $V_{iLm\acute{a}x}$ : tensión máxima que la entrada entiende como **0**

$V_{iHm\acute{i}n}$ : tensión mínima que la entrada entiende como **1**

$I_{iL}$ : intensidad en la entrada cuando su valor es **0**

$I_{iH}$ : intensidad en la entrada cuando su valor es **1**

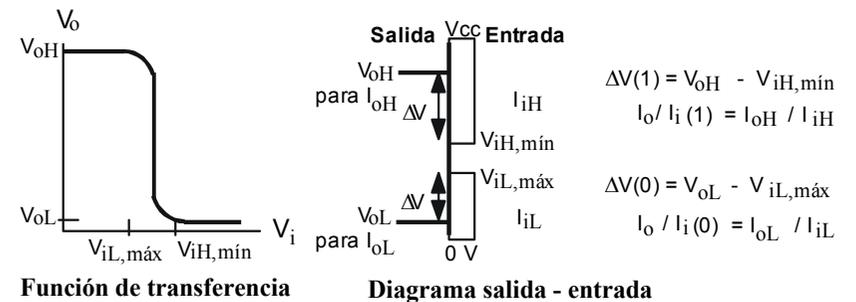
+ referentes a la salida:  $V_{oL}$ : tensión de salida para valor booleano **0**

$V_{oH}$ : tensión de salida para valor booleano **1**

ambas tensiones de salida dependen de la intensidad que se requiere de ella, de forma que se expresan siempre para una intensidad determinada:  $I_{oL}$  e  $I_{oH}$ , respectivamente.

Por convenio se asigna a las intensidades, tanto en las salidas como en las entradas, el signo + cuando circulan hacia dentro de la puerta lógica o circuito integrado y el signo - si lo hacen hacia fuera.

Los datos citados de tensiones e intensidades de entrada y de salida, para los valores booleanos **0** y **1**, pueden expresarse agrupados según el diagrama de la siguiente figura (se representa la salida a la izquierda y la entrada a la derecha para referirse a un nudo booleano, es decir, a la conexión de la salida de una puerta con la entrada de la siguiente, supuestas del mismo tipo):



El anterior diagrama salida/entrada expresa, en forma conjunta y resumida, toda la información de interés sobre las tensiones e intensidades de los dos valores booleanos:

- tensión de salida correspondiente para una determinada intensidad de salida
- intervalo de tensión que la entrada acepta como tal valor booleano
- intensidad que requiere la entrada.

En dicho diagrama queda reflejado, asimismo, el margen de tensión para cada uno de los valores booleanos:  $\Delta V(0) = V_{iLm\acute{a}x} - V_{oL}$  y  $\Delta V(1) = V_{oH} - V_{iHm\acute{i}n}$  y la relación entre las intensidades de salida y de entrada  $I_o / I_i$  en cada uno de ellos.

El margen de tensión constituye un intervalo de seguridad, de forma que modificaciones de la tensión de entrada que se mantengan dentro del mismo no afectan a la tensión de salida, o sea, al valor booleano que proporciona la puerta. El cociente entre intensidades representa el número de entradas que una salida puede soportar en situación estática (en términos de intensidad suministrable a las mismas).

#### • Velocidad de trabajo

Es obvio que la velocidad es un dato fundamental en sistemas que han de realizar miles de operaciones en tiempos mínimos; la velocidad de trabajo determina la capacidad operativa del sistema. Más aún, habida cuenta de que las operaciones digitales son en gran medida repetitivas, en muchas ocasiones resultan preferibles arquitecturas con unos pocos módulos que realizan grandes series de operaciones sucesivas, en lugar de utilizar un mayor número de módulos en paralelo. De esta forma, si la velocidad de trabajo lo permite, cabe reducir el circuito operativo al mínimo, con la consiguiente reducción de tamaño y de coste económico.

Al llegar una señal a la entrada de una puerta lógica, la respuesta a dicha señal no aparece instantáneamente en la salida, sino que existe un cierto tiempo de retardo; este tiempo es diferente según la transición de estado de la puerta sea de **0** a **1** o de **1** a **0**:

- **t<sub>PLH</sub>** o **tp(1)**: «tiempo de propagación del **1**», retardo de la salida respecto de la entrada cuando la salida cambia de **0** a **1**;
- **t<sub>PHL</sub>** o **tp(0)**: «tiempo de propagación del **0**», retardo de la salida respecto de la entrada cuando la salida cambia de **1** a **0**.

Ambos tiempos de propagación suelen tener valores próximos entre sí, lo cual permite utilizar su promedio como tiempo de propagación genérico:  $t_p = (t_{PLH} + t_{PHL}) / 2$ .

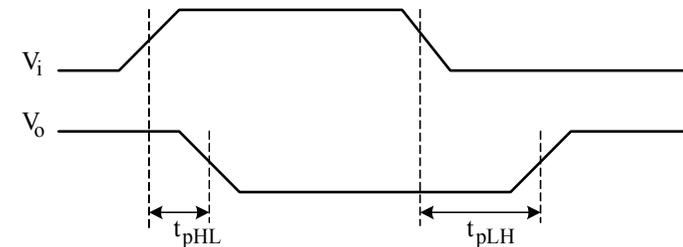
Los tiempos de propagación, es decir, los retrasos de la salida respecto a las variaciones de las entradas dependen de la impedancia de carga conectada sobre la salida, es decir, de la capacidad equivalente que presenta el conjunto de entradas conectadas a ella.

Por ello, los tiempos de propagación se miden en condiciones similares al funcionamiento normal de la puerta, supuesto un número máximo razonable de entradas conectadas a su salida; en el caso CMOS, sus entradas son de tipo capacitivo, del orden de unos pocos picofaradios, de forma que los tiempos de propagación CMOS suelen medirse y expresarse en relación a una carga de 50 pF.

Los valores típicos de los tiempos de propagación se expresan para 25°C, ya que tales tiempos dependen de la temperatura, aumentando con ella; esta dependencia se debe a que las resistencias de paso de los transistores MOS aumentan con la temperatura, por disminuir con ella la movilidad de sus portadores. Interesa, por ello, evitar el funcionamiento de los circuitos digitales a temperaturas altas y, si es necesario, se les dota de adecuados mecanismos de refrigeración.

Al conectar dos puertas, una a la salida de la otra, el tiempo de propagación del conjunto es mayor que los tiempos individuales pero es inferior a la suma de ambos. Es decir, los tiempos de propagación no son linealmente acumulativos ya que la segunda puerta inicia su conmutación antes de que la primera complete la suya.

Para facilitar la suma de tiempos en puertas sucesivas, cada tiempo de propagación suele medirse por el retraso entre el punto medio de conmutación (tensión  $V_{cc}/2$ ) de la onda de entrada y el punto medio de la conmutación de la señal de salida.



Una estimación aproximada de la velocidad de trabajo de un circuito digital puede hacerse en la forma siguiente:

- parece razonable que en una secuencia de operaciones de una puerta lógica o, lo que es lo mismo, en una secuencia de bits, el tiempo dedicado a cada uno de ellos ha de ser mayor que el tiempo de propagación de la puerta;
- si denotamos con **t<sub>BIT</sub>** el tiempo mínimo para la propagación y formación estable de un bit, ha de asegurarse que, al menos, **t<sub>BIT</sub> > 2 t<sub>p</sub>** para permitir que cada bit se estabilice antes de pasar al siguiente;
- de manera que **f < 1/2 t<sub>p</sub>** es una estimación adecuada de la velocidad de trabajo en términos de bits por segundo.

Otra medida de la velocidad de trabajo de una familia lógica la constituye la máxima frecuencia de reloj que admiten sus biestables síncronos **f<sub>CK</sub>**, que determina la máxima velocidad de trabajo de los sistemas secuenciales y, en particular, de los contadores y de los registros.

Cada una de las semiondas del reloj corresponde a la actuación de uno de los dos biestables básicos que configuran un biestable síncrono (estructura *master/slave*), de forma que cada semionda debe abarcar un intervalo de, al menos, **2 t<sub>BIT</sub>**; el periodo del reloj debe ser mayor que **4 t<sub>p</sub>** y su frecuencia máxima será: **f<sub>CKmáx</sub> ~ 1/(4 t<sub>p</sub>)**.

De todas formas, el problema de la velocidad máxima de un circuito digital será considerado con mayor detalle en el capítulo 15 al estudiar el análisis de tiempos en los sistemas síncronos.

#### • Consumo

En general, un sistema digital está constituido por un gran número de puertas booleanas, de forma que el consumo energético, en términos de intensidad o de potencia, de una puerta individual queda multiplicado por un número relativamente alto. Ello tiene importancia desde dos puntos de vista, consumo de energía (y consiguiente alimentación del sistema) y disipación de calor (y mecanismos para facilitarla):

- la fuente de alimentación (que proporciona la tensión de alimentación V<sub>CC</sub>) ha de suministrar suficiente intensidad, de acuerdo con el consumo global del sistema digital;
- la energía consumida por el sistema se disipa en el mismo en forma de calor que ha de ser desalojado para evitar un aumento excesivo de la temperatura, lo cual requiere, en ocasiones, el correspondiente sistema de refrigeración.

Intensidad de alimentación y disipación de calor constituyen dos aspectos a tener en cuenta en el diseño de sistemas digitales; la complejidad, tamaño y coste de la fuente de alimentación y del mecanismo de refrigeración dependen fuertemente del consumo, aumentando drásticamente con él.

Conviene tener en cuenta que el calentamiento de un circuito digital, por efecto de la disipación de potencia en el mismo, puede llevar a su destrucción pero, mucho antes que eso, afecta a los tiempos de propagación de sus puertas lógicas que aumentan con la temperatura. En muchas ocasiones se precisa de un adecuado sistema de refrigeración simplemente para asegurar la velocidad de trabajo del circuito. Por ejemplo, los procesadores Pentium de los PCs, para alcanzar las altas velocidades de trabajo que consiguen (varios GHz), requieren un fuerte disipador con un ventilador situados directamente sobre el propio circuito integrado,

En cada uno de los dos estados booleanos tendremos un consumo estático:

**I<sub>CCL</sub>** = intensidad consumida cuando la salida es **0**

**I<sub>CCH</sub>** = intensidad consumida cuando la salida es **1**

Los datos de consumo estático que figuran en los catálogos vienen expresados en términos de intensidad global consumida por el circuito integrado; es decir, en el caso de puertas lógicas el consumo no se expresa en términos de intensidad por puerta (ya que no puede medirse el consumo individual de una de ellas), siendo necesario dividir el dato de catálogo por el número de puertas que configuran el integrado.

El consumo estático no incluye el debido a las transiciones entre los dos estados booleanos. Por ello, además del consumo estático, ha de tenerse en cuenta el consumo dinámico, es decir, el que se produce durante las transiciones. En la familia **TTL** prevalece el consumo estático, siendo el dinámico despreciable respecto al estático; en cambio, en la familia **CMOS** el consumo estático es nulo mientras que el dinámico es apreciable para frecuencias por encima del MHz.

El consumo dinámico depende de la frecuencia de conmutación de las puertas booleanas: en cada transición se «gasta» una cantidad determinada de energía utilizada en la carga y descarga de las capacidades presentes en el circuito (la energía que se disipa al cargar o al descargar un condensador C a una tensión V es C.V<sup>2</sup>/2). Para efectuar el cálculo del consumo dinámico se utiliza la capacidad equivalente de la puerta a efectos de disipación de potencia **C<sub>pd</sub>** (*power dissipation capacitance*)

$$P = C_{pd} \cdot (V_{CC})^2 \cdot f$$

siendo V<sub>CC</sub> la tensión de alimentación y f la frecuencia de conmutación (considerada en forma de onda cuadrada: paso de **0** a **1** y posterior paso de **1** a **0**).

Por otra parte, en la evaluación global del consumo dinámico de un sistema digital ha de tenerse en cuenta que no todas sus puertas o biestables conmutan a la vez; aun más, en determinados subsistemas lo hace solamente un pequeño número de ellas. Por ejemplo, en una memoria RAM, al leer o escribir sobre ella solamente se activa uno de los múltiples registros que la forman (obviamente, también conmutan el decodificador que selecciona los registros y el circuito de control de entradas/salidas).

#### • Intervalo de temperaturas

Existe un intervalo de temperaturas para el que está garantizado el funcionamiento de los circuitos integrados digitales: el intervalo «normal» de funcionamiento va de -40°C a 85°C para CMOS y de 0°C a 70°C en TTL (en ambos casos con indicativo **74**).

Existen, además, series denominadas «militares» para aplicaciones que requieren mayor rango de temperaturas, de -55°C a 125°C; se distinguen porque su numeración empieza por **54** y su encapsulado es cerámico.

Ha de tenerse en cuenta que las características de una puerta lógica varían fuertemente con la temperatura; en general empeoran al aumentar la temperatura, lo cual se refleja en reducción de los márgenes de ruido y de la velocidad de trabajo. El mismo circuito desprende calor, como consecuencia de la disipación de la energía que utiliza en su funcionamiento, y causa una elevación de su propia temperatura que, en ocasiones, puede ser importante. Por ello, el diseño de un sistema digital ha de tener en cuenta el rango de temperaturas en el que va a trabajar y, si es preciso, debe incluir un mecanismo de refrigeración adecuado.

Otra indicación de temperatura que proporcionan los catálogos es el rango que soportan los circuitos integrados para su almacenamiento, que suele ser de -65°C a 150°C.

- *Conectividad.*

Se emplea un parámetro denominado *fan-out* (abanico de salida) o *capacidad de carga* para expresar el número de entradas que pueden conectarse sobre la salida de una puerta lógica. Este parámetro viene determinado por dos factores:

- el cociente entre las intensidades de salida y de entrada  $I_o/I_i$  para cada valor booleano, que representa el número máximo de entradas a las que la salida es capaz de suministrar adecuada intensidad sin deteriorar el valor booleano que les transmite;
- el cociente entre la capacidad de carga que la salida puede soportar (con referencia a unos tiempos de propagación determinados) y la capacidad equivalente de las entradas (de las puertas a conectar)  $C_L/C_i$ , ya que una capacidad de carga mayor se traducirá en una disminución de la velocidad de trabajo de la puerta (un aumento de sus tiempos de propagación).

En la familia TTL la limitación relativa al *fan-out* viene dada por el cociente entre intensidades  $I_o/I_i$ , pero no así en las series CMOS cuya intensidad de entrada es nula y lo que limita es la carga capacitiva que pueden soportar  $C_L/C_i$ .

$C_L$  no es un parámetro característico del propio circuito digital, sino la capacidad de carga con la que ha sido medido el tiempo de propagación; es decir, para asegurar dicho tiempo de propagación es preciso que la capacidad que se conecta a la salida sea menor que  $C_L$ .

A efectos del *fan-out* o *capacidad de carga* de una puerta debe tenerse en cuenta que en el caso de bloques combinacionales, biestables, registros, etc.,... cada uno de los terminales de entrada se encuentra conectado a las entradas de varias puertas lógicas, de forma que su conexión sobre la salida de otra puerta o bloque supone una carga equivalente a varias entradas; es decir, cada una de las entradas de un bloque digital ha de contabilizarse en términos de su *carga equivalente* o sea del número de entradas individuales o básicas a las que se encuentra conectada.

Asimismo se utiliza el término *fan-in* (abanico de entrada) o *disponibilidad de entradas* para indicar el número de entradas que posee una puerta lógica. La limitación en cuanto al número máximo de entradas con que puede construirse una puerta depende de la estructura electrónica de la misma: en el caso CMOS el número de entradas no debe ser superior a 6 u 8 debido al hecho de que la conexión de múltiples transistores MOS en serie empeora en gran medida las características de velocidad e inmunidad frente al ruido de las puertas.

Conviene recordar, en relación con las entradas de los circuitos integrados MOS, que requieren una manipulación cuidadosa, debido a la posibilidad de perforación de la delgadísima capa de óxido que conforma la puerta de los transistores MOS; tal perforación puede producirse por la propia carga estática acumulada en el cuerpo de quien los maneja. En los catálogos, los fabricantes indican una serie de normas para una manipulación que evite las cargas estáticas (tanto el personal como los soportes e instrumentos deben estar adecuadamente conectados a «tierra»); asimismo, los circuitos integrados MOS deben conservarse en fundas antiestáticas y en ningún caso deben agarrarse por los terminales metálicos (*pines*) sino por la carcasa de plástico.

Interesa conocer la disponibilidad de diversas opciones de entradas y de salidas:

- Entradas con histéresis (entradas tipo *Schmitt*), que presentan dos tensiones de conmutación o comparación  $V_a$  y  $V_b$  y son útiles para evitar rebotes (y para la construcción de osciladores astables). En la familia CMOS (alimentada a 5 V) las tensiones  $V_a$  y  $V_b$  de las entradas de tipo *Schmitt* suelen ser simétricas, 2 y 3 V aproximadamente, mientras que en la familia TTL suelen ser mas bajas, 0,8 y 1,6 V.
- Salidas con posibilidad de desconexión (salidas *triestado*) que permiten conectar múltiples salidas en paralelo, actuando en cada momento una de ellas y manteniéndose en alta impedancia las demás.
- En ocasiones, se incluye en la salida una resistencia de valor alto conectada a 0 V (resistencia de *pulldown*) o a  $V_{CC}$  (*pullup*), para asegurar que en la inicialización o en estado de alta impedancia la salida adopte valor **0** o valor **1**, respectivamente.
- Salidas de *colector o drenador abierto* que precinden de los transistores superiores (los que transmiten el **1**). Son puertas incompletas que requieren una resistencia de polarización  $R_p$  conectada a la alimentación  $V_{CC}$  y precisamente por eso resultan útiles para efectuar acoplos con otras familias lógicas o con otros componentes electrónicos que empleen niveles de tensión diferentes y para la conexión de varias salidas (operación "y" cableada). Existen adaptadores de este tipo (*buffer*) que admiten tensiones o intensidades relativamente altas (hasta 15 ó 30 V de tensión y unos 50 mA de intensidad).

- *Coste*

El coste es un parámetro esencial en cualquier diseño de ingeniería y suele entrar en competencia con otras especificaciones del mismo, como pueden ser la velocidad de trabajo, el conjunto de prestaciones, etc.,... En «productos de consumo», de fabricación en serie, el coste suele ser uno de los parámetros más importantes del diseño; en cambio, en la realización de equipos de producción o de prototipos o pequeñas series especializadas el coste suele quedar en un segundo orden de exigencias, precedido por las prestaciones que se requieren.

••• *Comentario en relación con la forma actual de construir los sistemas digitales*

Desde los años 70 las diversas familias lógicas integradas han permitido la disponibilidad de amplios catálogos de circuitos integrados, relativos a puertas lógicas, biestables, bloques combinacionales y bloques secuenciales. Con estos «elementos constructivos» (con estas piezas o *ladrillos digitales*) el diseño de un sistema digital consiste en la adecuada selección y conexión de circuitos integrados estándar; el resultado es una «tarjeta» formada por un conjunto de circuitos integrados sobre una placa de circuito impreso, cuyas pistas efectúan las conexiones entre ellos.

Los circuitos integrados estándar siguen siendo útiles para probar pequeños diseños, para simular el comportamiento de subcircuitos reducidos o, también, para prácticas de laboratorio en el proceso de aprendizaje (para entrar en contacto con las puertas y los bloques digitales y con las características de la tecnología).

Pero la forma de proceder basada en seleccionar y conectar circuitos integrados estándar «ha pasado a la historia». Hoy día, cualquier diseño digital se construye dentro de un único circuito integrado:

- para la realización de prototipos o de pequeñas series se dispone de circuitos integrados programables para «encajar» sobre ellos, por programación, el diseño específico que interesa (la variedad de los dispositivos programables, en cuanto a tamaño y capacidad de acoger diseños complejos, es enorme);
- cuando el número de ejemplares a utilizar es alto, es preferible fabricar el propio diseño, dando lugar a un ASIC (circuito integrado para una aplicación específica).

Por ello, cada vez se utilizan menos los circuitos integrados estándar y, con ello, se desdibuja la idea de «Familia lógica integrada»; lo que importa, en cuanto al diseño y al producto final, es:

- elegir un circuito integrado programable con capacidad y velocidad suficientes para nuestro diseño y conocer en profundidad las características de tal circuito integrado;
- o bien, seleccionar un fabricante y, dentro de su oferta, un tipo de ASIC adecuado para nuestro diseño y conocer, igualmente, las características de tales ASICs.

En todo caso, los aspectos funcionales a tener en cuenta son los descritos en este apartado y, por lo general, tanto los dispositivos programables como los ASICs pertenecen a la gran familia lógica CMOS, cuyas características hemos analizado en detalle en los tres últimos capítulos.

La tecnología CMOS, con sus diversas variantes y continuas mejoras (en especial, en lo que se refiere a tamaño de los transistores y, con ello, a la densidad de integración y a la velocidad de trabajo) ha sido durante la última década, y lo seguirá siendo en la presente y en la próxima, la más adecuada para la integración de circuitos digitales (incluyendo los programables).

### 10.3. El ruido en los sistemas digitales

En el entorno físico de los sistemas digitales se encuentran siempre presentes señales de tipo electromagnético que inciden sobre ellos, bien procedentes del medio ambiental en el que se encuentran (motores, relés, transformadores, radiofrecuencias, emisiones de los cables, perturbaciones de la red, etc.,...), bien producidas por los propios sistemas digitales (variaciones de consumo que generan parásitos sobre la alimentación, oscilaciones propias de los circuitos, acoplo entre señales, radiación de las pistas y cables de interconexión, etc.,...).

Todas estas señales reciben el nombre de «ruido» y son siempre indeseables para un sistema electrónico por cuanto pueden afectar a su correcto funcionamiento; en el caso de un sistema digital pueden modificar puntualmente los valores booleanos presentes en el mismo por desplazamiento de las tensiones en los nudos del circuito.

El problema del «ruido electromagnético» es mayor en las plantas industriales, en las que existe un gran número de máquinas, motores y sistemas eléctricos de tipo diverso, cuyo funcionamiento genera ondas electromagnéticas en una amplia gama de frecuencias que se transmiten, no solamente por el aire, sino también por todo tipo de cables o conductores y, en particular, a través de la red de tensión eléctrica. Asimismo, la propia red puede encontrarse distorsionada por las fuertes variaciones de consumo que suelen producirse, principalmente, por la conmutación sobre ella de elementos de potencia.

En un circuito electrónico las señales parásitas debidas al ruido se hacen presentes en términos de tensión transmitida a través de las interconexiones del sistema; pero, también, en términos de potencia que incide como onda electromagnética desde el exterior. En general, el ruido que genera el propio sistema digital se transmite por el mismo en forma de señal de tensión, principalmente por las líneas de alimentación (VCC y 0), y el ruido electromagnético ambiental se recibe como señal de potencia radioeléctrica, captada por las diversas líneas, componentes y bucles del sistema que actúan como pequeñas antenas receptoras, en particular las líneas de interconexión, incluidas las de alimentación.

*[Como complemento a este apartado, el capítulo T3 trata con mayor detalle el problema del ruido en los sistemas electrónicos.]*

#### 10.3.1. Mecanismos físicos de generación y captación de ruido

Las leyes físicas ignoran las fronteras conceptuales que el diseñador impone a su circuito y parte de la energía del mismo puede alcanzar a otros circuitos de su entorno y a otras partes del propio circuito; además, por causa de esas mismas leyes físicas, los componentes circuitales no se comportan de forma ideal (no se limitan a ser los elementos de circuito en los que el diseñador piensa) sino que presentan multitud de efectos parásitos.

Por otra parte, los circuitos electrónicos, como circuitos eléctricos que son, serán afectados por los campos eléctricos, magnéticos y electromagnéticos que llegan a ellos, procedentes de otros equipos o fenómenos de naturaleza eléctrica.

Los principales mecanismos físicos de generación o captación de «ruido electromagnético» son los siguientes:

- tensiones producidas por variaciones de intensidad sobre elementos autoinductivos
- actuación de los bucles de intensidad (espiras) como receptores y como emisores
- oscilaciones debidas a la presencia de autoinducciones y capacidades parásitas
- acoplo capacitivo entre conductores próximos
- impedancia común en las líneas de retorno de varias señales.

A continuación, analizaremos con un poco de detalle estos fenómenos.

- a) Todo conductor presenta una cierta componente inductiva y responde a las variaciones de la intensidad que conduce con un transitorio de tensión:  $\Delta V = L \cdot dI/dt$ .

De esta forma las variaciones de intensidad sobre las líneas de alimentación producen perturbaciones que afectan a la tensión que transmiten. Lo mismo sucede con las variaciones de consumo sobre la red de tensión eléctrica, que provocan perturbaciones que son propagadas a través de la red.

También en las líneas de señal se produce este efecto autoinductivo, pero tiene poca importancia, debido a que, por lo general, tales líneas son muy cortas; una excepción a tener en cuenta puede ser la línea que transmiten el reloj en los sistemas síncronos.

Los picos (*glitches*) de tensión originados dependen de la amplitud de la variación de intensidad y, también, de la velocidad de dicha variación, de la pendiente  $dI/dt$ , de forma que  $\Delta I$  reducidas pero muy rápidas pueden producir  $\Delta V$  apreciables; una línea conductora de 10 cm, cuya autoinducción será cercana a 0,1  $\mu H$ , responde a un aumento de intensidad de 10 mA en 1 ns con una variación de tensión de 1 V.

En la conmutación de una puerta booleana se producen importantes  $dI/dt$ , debidas a la carga y descarga de sus capacidades parásitas y de las capacidades de entrada de las puertas conectadas a su salida.

Asimismo, en la conmutación suele presentarse un fuerte pico de intensidad, debido a que durante un muy pequeño intervalo de tiempo pueden conducir a la vez los dos transistores de la etapa de salida de la puerta: los dos planos P y N en el caso CMOS o los dos transistores de la configuración *totem pole* en TTL. Este pico de intensidad a través de la malla de salida es debido a que antes de pasar a corte los transistores inferiores comienzan a conducir los superiores o viceversa; no tiene importancia respecto al consumo, ya que su duración es mínima, pero sí respecto a la generación de ruido porque su amplitud es apreciable y su pendiente muy alta.

De esta forma, la conmutación de las puertas booleanas genera perturbaciones sobre la tensión de alimentación que afectan al conjunto del circuito digital. Este ruido, producido sobre las líneas de alimentación por las variaciones de intensidad en las conmutaciones de las puertas, puede reducirse en gran medida utilizando condensadores de desacoplo: pequeños condensadores de unos 10 nF conectados a los terminales de alimentación y situados justo al lado de cada circuito integrado.

La misión de los condensadores de desacoplo es «filtrar las altas frecuencias», suministrando directamente las variaciones bruscas de intensidad. No deben ser condensadores electrolíticos, ya que éstos presentan a altas frecuencias una componente inductiva en serie no despreciable por lo que no resultan efectivos para el filtrado de variaciones muy rápidas.

- b) En los circuitos electrónicos una señal eléctrica es transmitida de un punto a otro del circuito mediante una intensidad que, luego, requiere una línea de retorno; es decir, toda señal eléctrica, incluida la propia tensión de alimentación, forma un «bucle de intensidad» (circula a través de una espira cerrada).

Todo bucle o espira es un receptor de campos magnéticos y electromagnéticos y la efectividad de tal recepción es tanto mayor cuanto lo es el área del bucle. De forma, que los cables y pistas de conducción de un circuito actúan como antenas y como espiras receptoras de interferencias: recogen el efecto de los campos magnéticos y de las ondas electromagnéticas que llegan hasta ellos.

De ahí la conveniencia de minimizar la longitud de las conexiones y el área de los bucles: debe prestarse gran atención al diseño del circuito impreso, tanto en la colocación de los componentes como en las pistas de conexión. Los circuitos impresos no son un mero soporte mecánico y un simple conexionado eléctrico, sino que determinan la topología del circuito y, con ella, los acoplamientos de las perturbaciones: un buen diseño geométrico es fundamental para prevenirlas.

Pero, además, en sentido inverso, cuando la intensidad es variable, los bucles generan campos magnéticos y ondas electromagnéticas, es decir, cada bucle de intensidad puede producir interferencias, que causarán perturbaciones sobre el propio circuito y sobre otros circuitos. También en lo que se refiere a la emisión de interferencias interesa en gran medida minimizar la longitud de las líneas de conexión y el área de los bucles.

- c) Cables o pistas largas presentan una autoinducción parásita apreciable que puede combinarse con las capacidades parásitas del circuito y producir oscilaciones.

Normalmente, este tipo de oscilaciones se evita con condensadores de desacoplo que filtren las alimentaciones, lo más cerca posible de las etapas funcionales.

d) Dos conductores próximos (por ejemplo, dos conductores de un mismo cable plano o dos pistas que circulan paralelas por una placa) presentan un efecto capacitivo entre ellos, de forma que una variación de tensión en uno de ellos es transmitida parcialmente como transitorio al otro conductor.

Ésta es otra razón para reducir la longitud de las pistas o cables de conexión y procurar que no circulen paralelas entre sí; cuando lo anterior no es posible (buses o cables planos) puede reducirse mucho el acoplo capacitivo intercalando una pista intermedia conectada a tensión 0 (*masa*).

e) Toda línea conductora presenta una impedancia (R, L) y, cuando por dicha línea viajan dos señales, tal impedancia es compartida por ambas (impedancia común) y las variaciones de tensión producidas por una de ellas afectan también a la otra.

La línea de retorno suele ser utilizada, a la vez, por varias alimentaciones y/o señales, lo cual supone la existencia de una impedancia común, de modo que las caídas o variaciones de tensión generadas sobre dicha impedancia afectan a las diversas etapas conectadas a la línea de retorno.

### 10.3.2. Medida de la inmunidad frente al ruido

Interesa conocer el margen disponible frente al ruido, es decir, el intervalo dentro del cual el ruido no produce errores sobre los valores booleanos, porque los desplazamientos de tensión que provoca quedan dentro de los intervalos asignados a tales valores.

La inmunidad frente al ruido debe considerarse tanto en términos de tensión, como en términos de potencia y, especialmente, en estos últimos: el ruido es una potencia parásita (energía actuante por unidad de tiempo) que perturba el sistema electrónico. El efecto de tal perturbación depende de la resistencia sobre la que actúa; sobre resistencias bajas generará débiles desplazamientos de tensión, mientras que sobre altas impedancias dará lugar a fuertes modificaciones de tensión.

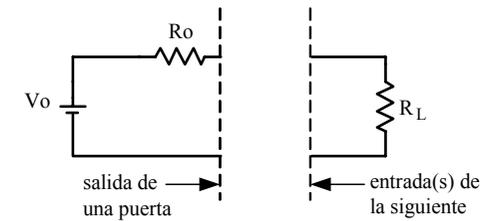
Se considera el efecto del ruido sobre los nudos booleanos: los valores booleanos están presentes en la salida de cada puerta lógica y sobre dicha salida se encuentra conectada la entrada o las entradas de las puertas siguientes. Para cada uno de los valores booleanos la diferencia entre la tensión de salida que corresponde a dicho valor y la tensión límite que la posterior entrada admite para ese mismo valor booleano expresa el margen de tensión,  $\Delta V(0)$  y  $\Delta V(1)$ :

$$\Delta V(1) = V_{oH} - V_{iHmín} \quad \Delta V(0) = V_{iLmáx} - V_{oL}$$

Siempre que el efecto del ruido en tensión sea inferior a dicho margen la segunda puerta lógica actuará correctamente pues el desplazamiento en tensión permanece dentro del intervalo correspondiente al valor booleano.

El margen de tensión no es completamente representativo de la inmunidad frente al ruido; interesa conocer también el margen de potencia (es decir, en términos de energía por unidad de tiempo):  $P = V^2/R$      $\Delta P = (\Delta V)^2/R$

Para calcular el margen de ruido en potencia es preciso conocer la resistencia equivalente presente en el nudo booleano:



En la conexión de una salida a una o varias entradas, la resistencia equivalente corresponde al paralelo de la resistencia  $R_o$  de salida de la primera puerta con las de entrada  $R_i$  de las siguientes y, en dicho paralelo, predomina la resistencia de salida  $R_o$  por ser de valor mucho menor que las de entrada (lo cual viene exigido para que exista un buen acoplo en tensión).

La resistencia de salida puede medirse (o calcularse a partir de los datos de catálogo) considerando el desplazamiento en tensión que se produce en la salida cuando se fuerza un consumo de intensidad a través de ella:  $R_o = |V_o - V'_o| / I$ , siendo  $V_o$  la tensión de salida sin consumo de intensidad y  $V'_o$  la tensión que corresponde a una intensidad  $I$  en la salida.

Conocida la resistencia de salida de la puerta, el margen de ruido en potencia será:

$$\Delta P(0) = (\Delta V(0))^2/R_o(0) \quad \Delta P(1) = (\Delta V(1))^2/R_o(1)$$

### 10.3.3. Diseño para evitar la producción y la recepción de ruido

En el diseño de un sistema digital es importante reducir al mínimo tanto la generación de ruido por parte del propio sistema como la incidencia del ruido electromagnético presente en su entorno. [Los elementos «antirruído» y las consideraciones que siguen serán tratados con mayor detalle en el capítulo T3.]

#### • Condensadores de desacoplo

La generación de ruido por parte de los circuitos integrados digitales puede deberse, como hemos visto, a dos factores principales: variaciones de consumo u oscilaciones.

Las variaciones de consumo, particularmente en la conmutación de las puertas, causan pequeñas oscilaciones amortiguadas sobre las líneas de alimentación (que necesariamente son largas para alcanzar a todo el circuito); conviene reducir tales oscilaciones mediante condensadores de desacoplo conectados sobre la alimentación: un condensador de unos 10 nF (no electrolítico) al lado de cada circuito integrado.

El condensador de desacoplo de la alimentación proporciona los «picos» de variación rápida de intensidad que se producen en las conmutaciones, evitando que tales di/dt actúen sobre las autoinducciones parásitas de las pistas de alimentación; además, divide en dos partes el «bucle de alimentación», reduciendo su área efectiva.

Estos mismos condensadores sobre la alimentación eliminan las oscilaciones de alta frecuencia que aparecen en los circuitos electrónicos por acoplo entre capacidades y autoinducciones parásitas (asimismo, conviene utilizar pistas de conexión cortas).

Los condensadores de desacoplo configuran un filtro LC pasa-bajo hacia el circuito integrado que reduce las perturbaciones transmitidas a través de las líneas de alimentación; el filtrado se produce en ambas direcciones, también respecto a las perturbaciones del circuito integrado hacia las líneas de alimentación.

Conviene asimismo filtrar la alimentación en la entrada de la misma a cada placa circuital, mediante un par de condensadores de unos 100  $\mu\text{F}$  y 100 nF, respectivamente (el segundo de ellos, no electrolítico); este filtrado pasa-baja actúa; también; en ambas direcciones: impide el paso de las perturbaciones que llegan por las líneas de alimentación y evita que las producidas en la placa se transmitan al resto del sistema.

- *Apantallamiento y separación galvánica*

Las interferencias exteriores llegan a un circuito electrónico mediante ondas electromagnéticas o a través de líneas de entrada o salida; se trata de poner pantallas frente a la propagación de tales perturbaciones.

Cuando un sistema digital va a trabajar en situación de alto ruido electromagnético ambiental (plantas industriales con máquinas y motores potentes, etc...), es preciso apantallarlos mediante una carcasa de tipo ferromagnético que constituya una buena jaula de Faraday y aislar galvánicamente, si es posible, sus entradas y salidas, por ejemplo mediante acopladores optoelectrónicos.

La mejor efectividad de las carcasas se consigue mediante la utilización de dos materiales: el exterior conductor (cobre) que refleja los campos electromagnéticos y el interior de tipo ferromagnético que atenúa fuertemente las ondas que lo atraviesan. Es preciso, además, minimizar las dimensiones lineales de las aberturas de la carcasa, asegurar la continuidad eléctrica de la tapa de la misma y apantallar adecuadamente los cables de conexión que salen de la carcasa (cables coaxiales, trenzados,...).

Es importante conectar la carcasa a la «masa» (tensión 0 V) del circuito que contiene para evitar acoplos capacitivos dobles entre conductores del circuito y la carcasa, que pueden causar peligrosas realimentaciones positivas; esta conexión debe hacerse en un solo punto, a través de un condensador.

Los acopladores optoelectrónicos integrados están constituidos por un diodo emisor de radiación y un transistor fotodetector; de esta forma separan físicamente su entrada de su salida y transmiten el correspondiente valor booleano a través de una radiación óptica.

Los optoacopladores permiten establecer una separación galvánica en las entradas y salidas que conectan el circuito con el exterior; esta separación interrumpe la continuidad eléctrica y, con ella, la comunicación de ruido a través de ella, filtra fuertemente el ruido (ya que el escalón energético para atravesar un optoacoplador es alto), divide los bucles en dos partes (reduciendo su área efectiva) y rompe los posibles bucles que se forman al conectar la «masa» de las líneas largas de entrada o salida a «tierra» en sus dos extremos.

- *Filtro de red*

En relación con la conexión a la red de tensión eléctrica de los circuitos alimentados desde ella, es necesario filtrar las perturbaciones de alta frecuencia que se transmiten a través de la red y, a la vez, impedir que el circuito transmita interferencias hacia la red.

Ambos propósitos se consiguen mediante un filtro de red adecuado; suelen ser filtros de tipo LC en configuración  $\pi$  que realizan el filtrado de las señales de alta frecuencia en ambos sentidos: un par de condensadores conectados a tierra a ambos lados de una bobina, duplicando dicho filtro para cada una de las dos líneas de entrada de la red y con ambas bobinas enrolladas sobre un toroide de ferrita de forma que los campos magnéticos debidos al consumo de intensidad se compensen y no se sature la ferrita.

- *Plano de masa*

Una última consideración, que resulta ser de suma importancia, se refiere a disponer de una buena distribución de la «masa» (nudo de tensión de referencia, 0 V); se trata de los caminos de retorno (tanto para la alimentación como para las señales), con el objetivo de reducir en lo posible la longitud de las líneas de retorno, el área de los bucles que conforman y la impedancia compartida que presentan.

Lo ideal, a ser posible, es configurar un «plano de masa», dedicando a ella toda una capa de circuito impreso multicapa. Sobre un plano de masa los caminos de retorno de la alimentación y de las señales se ajustan a la condición de recorrido mínimo en el caso de señales de baja frecuencia o de área mínima de bucle para señales de alta frecuencia; ambas situaciones son las más favorables desde el punto de vista de captación o generación de ruido.

Además, este tipo de caminos reduce también al mínimo la impedancia común compartida por varias señales: en el caso de bajas frecuencias prevalece el efecto resistivo de tal impedancia, mientras que para frecuencias altas importa más el aspecto inductivo.

Cuando no es posible disponer de un plano de masa, conviene distribuir dicha tensión 0V en la forma que más se aproxime al mismo: aprovechar toda la superficie libre del circuito impreso para generar «áreas de masa»; utilizar pistas directas, cortas y gruesas; conectar, en la medida de lo posible, las diversas pistas de «masa» en retícula;...

Cuando coexistan en una misma placa circuital partes digitales, analógicas y/o de potencia conviene trazar por separado las líneas de masa de las mismas, de forma que los retornos de intensidad de la parte digital no se vean afectados por los analógicos o de potencia y viceversa.