

## 9 TECNOLOGÍA CMOS. DIVERSIDAD DE CONFIGURACIONES

### 9.1. Puertas complementarias

#### 9.2. Tipos de salidas y de entradas

#### 9.3. Puertas de transmisión

#### 9.4. Realización CMOS de las estructuras matriciales

#### 9.5. Dispositivos programables

La tecnología CMOS, introducida en el capítulo anterior, ha permitido la construcción de puertas booleanas con características cuasi-ideales, pues su resistencia de entrada es prácticamente infinita, la de salida muy baja y el consumo estático es nulo. Además, el juego de conexiones serie-paralelo permite una gran diversidad de puertas, combinando operaciones suma y producto, pero siempre de tipo inversor (con una inversión global sobre el conjunto de operaciones).

Las salidas de estas puertas pueden ser modificadas para incorporar un estado de desconexión (alta impedancia) o para manejar una tensión o una intensidad de salida relativamente altas (drenaje común); por su parte, las entradas pueden ser dotadas de histéresis (dos tensiones de conmutación) para evitar «rebotes».

Pero, además de las puertas complementarias, la tecnología CMOS ofrece otros tipos de puertas que resultan muy útiles para algunas aplicaciones específicas:

➤ Puertas de transmisión que actúan como simples interruptores (permitiendo o interrumpiendo el paso del valor booleano presente en su entrada); con ellas pueden construirse multiplexores y biestables, de dimensiones y tiempos de propagación más reducidos que los conformados con puertas inversoras;

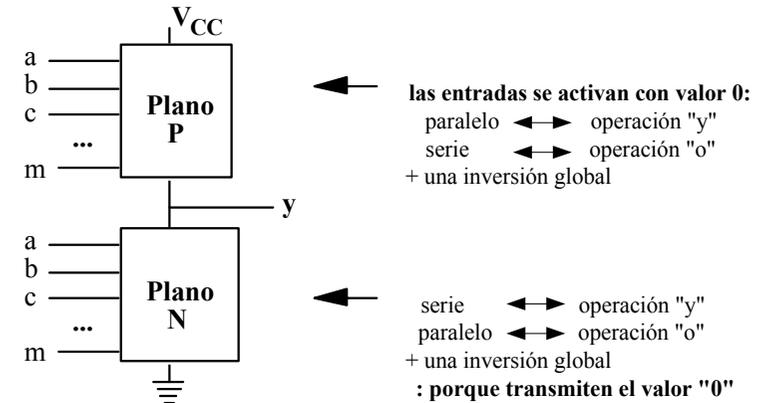
➤ Puertas *Nor* con un solo plano de transistores, el NMOS (junto con un transistor PMOS único, como resistencia de polarización), que pueden tener muchas entradas y, por ello, son adecuadas para construir estructuras matriciales (decodificadores, multiplexores, ROM, PAL, PLA, ...).

Las estructuras matriciales se transforman en programables cuando la conexión de los transistores del plano N se hace a través de «fusibles». La introducción de transistores de doble puerta, la interior de ellas aislada, es otra forma (menos «destruictiva») de anular su conexión; la acumulación de carga eléctrica negativa en la puerta aislada eleva su tensión umbral e impide que el transistor pueda conducir (es como si no estuviera presente), con la ventaja de que esta programación puede ser «borrada», descargando dicha puerta aislada. Las denominaciones EPROM, EEPROM y FLASH corresponden a tres etapas sucesivas en el desarrollo de este tipo de transistores de doble puerta, con tres tipos diferentes de borrado.

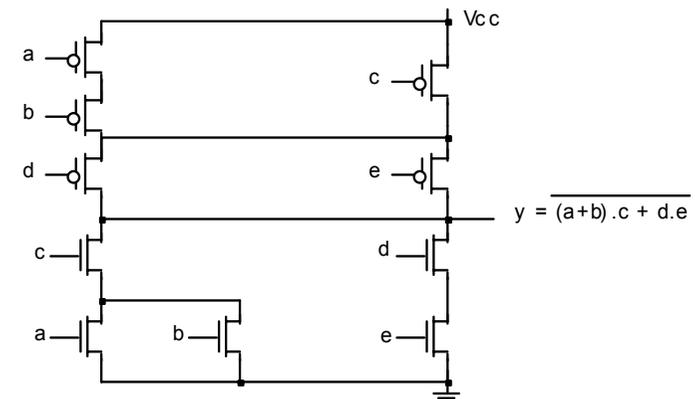
En suma, la aportación de la tecnología CMOS a los circuitos digitales no se limita a su propio tipo de puertas inversoras sino que ofrece una amplia gama de opciones con diferentes prestaciones y campos de aplicación.

### 9.1. Puertas complementarias

Las puertas lógicas CMOS se construyen mediante dos planos «duales» de transistores: **plano N** y **plano P**; a cada una de las entradas le corresponden sendos transistores, uno en el plano N y otro en el plano P, conectados de acuerdo con la dualidad serie-paralelo.



Consideremos la puerta representada en la siguiente figura:



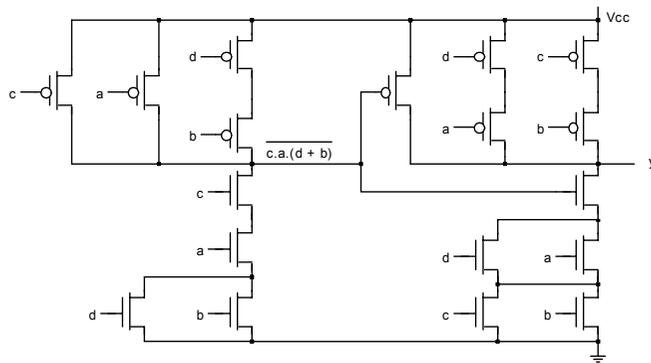
- en su plano N, la configuración de transistores corresponde (de acuerdo con el álgebra de conmutadores) a la función  $(a + b).c + d.e$ , a la cual debe añadirse una negación global ya que dicho plano transmite el valor 0; de forma que la función conformada por dicho plano es:  $y = (a + b).c + d.e$
- en cuanto al plano P, transmite el valor 1 pero sus transistores conducen cuando su entrada es 0, es decir, corresponden a variables negadas ( $\bar{a}$ ,  $\bar{b}$ ,  $\bar{c}$ ,  $\bar{d}$ ,  $\bar{e}$ ) y su configuración (de acuerdo con el álgebra de conmutadores) produce la función  $(\bar{a} . \bar{b} + \bar{c}) . (\bar{d} + \bar{e})$ ; de manera que la función conformada por dicho plano es la misma que la del plano N:  $y = (\bar{a} . \bar{b} + \bar{c}) . (\bar{d} + \bar{e}) = (a + b).c + d.e$

La combinación serie-paralelo de transistores permite una amplia diversidad de puertas: puede configurarse cualquier función booleana que corresponda a una serie de sumas y productos con una inversión global; si dentro de la expresión algebraica aparecen otras inversiones, cada una de ellas da lugar a una puerta adicional.

Consideremos la función del apartado 5.1., en el que se estudió su construcción de cuatro formas conceptualmente diferentes; la configuración de esta función con puertas inversoras CMOS, utilizando el menor número de transistores posible, conduce a la siguiente expresión:

$$y = \overline{\overline{d} \cdot \overline{a}} + \overline{\overline{c} \cdot \overline{b}} + c \cdot a \cdot (d + b) = \overline{\overline{\overline{d} \cdot \overline{a}} + \overline{\overline{c} \cdot \overline{b}} + c \cdot a \cdot (d + b)}$$

$$= \overline{(d + a) \cdot (c + b) \cdot (c \cdot a \cdot (d + b))}$$



Esta forma de construcción CMOS es la que se utiliza al diseñar un circuito integrado de aplicación específica (ASIC); la elección de las puertas inversoras más apropiadas para cada función concreta permite minimizar el área de integración de las mismas y disminuir sus tiempos de propagación.

### 9.1.1. Características de las puertas complementarias

#### *Puertas compuestas por sólo transistores MOS*

El reducido tamaño de los transistores MOS, su autoaislamiento (que facilita su integración contigua) y la ausencia de resistencias u otros componentes hacen que las puertas CMOS necesiten una área de integración muy reducida.

#### *Conformadas por dos planos de transistores*

Cada entrada aporta dos transistores (un PMOS y un NMOS) y las conexiones en cada plano son duales (serie ↔ paralelo) respecto al otro, lo cual supone una cierta complejidad en las líneas de conexión y una ocupación de área que (siendo de por sí muy reducida) es mayor que la necesaria en las tecnologías que utilizan un solo transistor por entrada (NMOS).

Pero con ello se consigue que en cada situación booleana conduzca solamente uno de los dos planos, lo cual supone un consumo estático nulo.

#### *Permiten una amplia diversidad de puertas*

El juego de conexiones serie-paralelo permite configurar funciones complejas y muy diversas en una misma puerta, con la limitación de que la expresión de la función tenga una negación global sobre el conjunto de operaciones booleanas (puerta inversora) y de que tal negación sea la única que aparezca: cada negación da lugar a una puerta adicional.

#### *Las entradas son de tipo capacitivo*

La resistencia de entrada es muy alta (> 10 MΩ), lo cual asegura un buen acoplo en tensión. Además, los transistores MOS presentan una capacidad de puerta que es preciso cargar o descargar en la conmutación cuando cambia el valor booleano presente en la correspondiente entrada; tal transitorio de carga o descarga:

- da lugar a tiempos de conmutación que limitan la velocidad de trabajo de la puerta
- limita, asimismo, el *fan-out* de la puerta anterior, es decir, el número de entradas de otras puertas que pueden conectarse sobre una salida (pues tal número condiciona la velocidad de trabajo)
- requiere un aporte puntual de intensidad durante la conmutación, que da lugar a un consumo dinámico proporcional a la frecuencia de las conmutaciones
- genera «ruido» sobre las líneas de alimentación como consecuencia del «pulso» de intensidad necesario para la conmutación.

El hecho de que la entrada sea capacitiva (un diminuto condensador) y que el valor de dicha capacidad sea muy reducido hace que una mínima aportación de carga eléctrica sobre el terminal de puerta genere altas tensiones ( $\Delta V = Q/C$ ), con el riesgo de perforación del dieléctrico (de la delgadísima capa de óxido de silicio que forma la puerta). Lo cual constituye un problema de tipo práctico, relativo a la manipulación de los circuitos integrados MOS: la perforación puede producirse por la propia carga estática acumulada en el cuerpo de quien los utiliza.

Por ello, es necesario adoptar una serie de precauciones en el manejo y almacenamiento de los circuitos integrados MOS, evitando en lo posible el roce con los terminales del integrado; los circuitos deben conservarse en las habituales «tiras de plástico» o en almohadillas antiestáticas; los puestos de trabajo dedicados al montaje de placas con circuitos integrados MOS deben tener un diseño apropiado para eliminar (mediante adecuadas «tomas de tierra») toda posible carga en los instrumentos y en las personas.

#### *La salida de cada puerta es resistiva*

Cada plano de transistores, cuando conduce, presenta una resistencia que corresponde a la zona lineal u óhmica de sus transistores; tal resistencia depende de las dimensiones de los transistores (disminuyendo en proporción inversa al aumento de su anchura).

La resistencia de salida de una puerta afecta a:

- la intensidad suministrable por la puerta
- los procesos de conmutación (carga y descarga de las capacidades de entrada de las puertas siguientes) y, en consecuencia, a los tiempos de propagación y a la velocidad de trabajo de la puerta
- la inmunidad frente al «ruido» en términos de potencia.

Se presentan varios transistores en serie

La presencia de transistores en serie supone el correspondiente aumento de la resistencia de salida de la puerta, lo cual repercute, de acuerdo con el apartado anterior, en la intensidad suministrable por la puerta, en los tiempos de propagación y la velocidad de trabajo y en la inmunidad frente al «ruido» en términos de potencia.

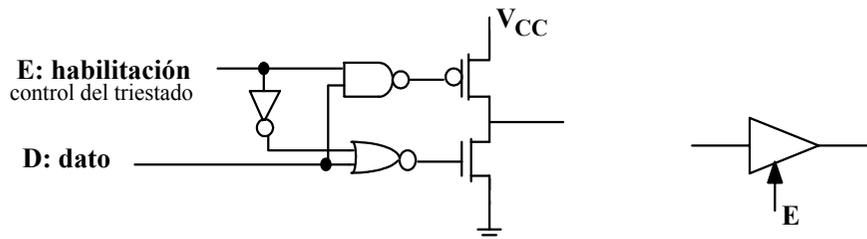
Al aumentar el número de transistores en serie las características de una puerta CMOS empeoran en gran medida: disminuye la intensidad disponible en la salida y el margen de ruido en potencia y aumentan los tiempos de propagación. Además, este efecto no es meramente lineal sino que se ve incrementado por el desplazamiento de la tensión de fuente (en el caso de transistores NMOS el segundo de la serie no tiene su terminal de fuente a 0 V sino conectado al drenaje del primero de ellos, de manera que  $V_{GS} < V_G$  y así sucesivamente,...).

Por ello, conviene limitar el número de entradas de las puertas CMOS de forma que el número de transistores conectados en serie no sea superior a 5 o 6 en ninguno de los dos planos (el efecto es aún peor en el plano P que en el N).

### 9.2. Tipos de salidas y de entradas

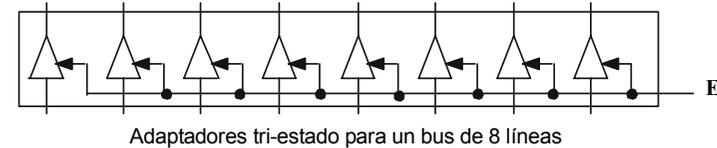
En el apartado 4.2. se introdujo la situación de *desconexión* como un tercer estado de las salidas de las puertas booleanas que permite conectar múltiples salidas en paralelo, con tal de que, en cada momento, actúe una de ellas y las demás se encuentren en *alta impedancia*: el resultado es el multiplexado de las salidas y la selección de una de ellas.

Este tipo de salidas se denomina *tri-estado* y puede conseguirse mediante adaptadores como el representado en la siguiente figura:



Cuando la entrada de habilitación **E** tiene valor nulo, los dos transistores de salida se encuentran en corte, mientras que para **E = 1** la salida adopta el mismo valor booleano que la entrada **D**.

Este tipo de adaptador tri-estado puede ser incorporado en la salida de una puerta booleana o en las salidas de un bloque digital para incluir la opción de salida en alta impedancia (desconexión); asimismo, un conjunto de **n** adaptadores con una habilitación común configuran un bloque digital típico: el adaptador para **n** líneas o adaptador tri-estado de bus (*buffer tri-estate*).



Adaptadores tri-estado para un bus de 8 líneas

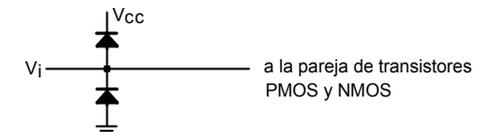
Otro tipo particular de salida elimina el plano P y deja la puerta incompleta, solamente con el plano NMOS: tales salidas se denominan de *drenaje abierto* (aunque es más frecuente el uso del término *colector abierto* que procede del mismo tipo de salidas en la familia TTL). Estas puertas deben completarse exteriormente mediante una resistencia de polarización **RC** conectada a la alimentación **VCC**.

Ahora bien, la resistencia de polarización **RC** puede conectarse a una tensión diferente de la de alimentación del circuito integrado, modificándose así el valor de tensión correspondiente al **1** booleano, lo cual es útil para efectuar el acoplo con otras familias lógicas o con otros componentes que empleen niveles de tensión diferentes.

Además, en los inversores de *drenaje abierto*, la existencia de un único transistor permite fabricarlos con mayor capacidad en tensión y en intensidad, configurando adaptadores que permiten conectar directamente el inversor a dispositivos que requieren mayores valores de tensión o intensidad, por ejemplo, visualizadores, pequeños relés, etc. Tales adaptadores suelen admitir hasta 15 ó 30 V de tensión sobre el transistor de salida (cuando se encuentra en corte) e intensidades del orden de 50 mA (cuando conduce).

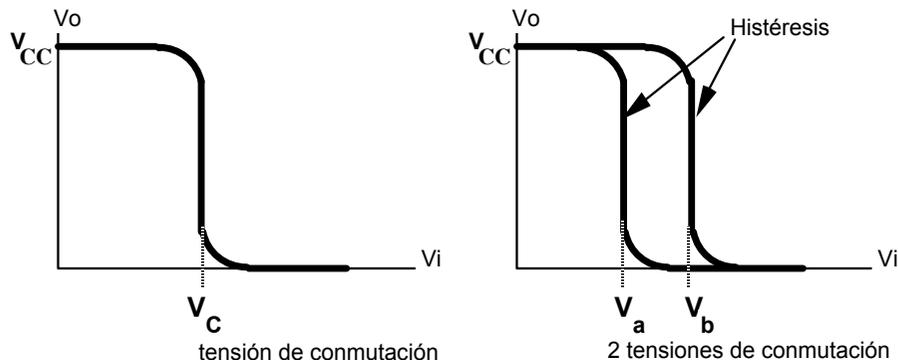
Las salidas de varias puertas de drenaje abierto pueden unirse sobre la misma resistencia de polarización **RC** configurando una operación "y" entre las mismas (siempre que una de las salidas se encuentra a **0**, su transistor conduce y la salida global es **0**): operación "y" cableada.

Las entradas de los circuitos integrados CMOS están protegidas frente a «sobretensiones» mediante dos diodos en polarización inversa que se añaden en el proceso de fabricación; éstos recortan las tensiones negativas (por debajo de -0,6 V) y aquellas tensiones positivas que superan (en más de 0,6 V) la de alimentación (los datos catálogo incluyen la intensidad máxima que soportan estos diodos con la notación  $I_{clamp}$ ):



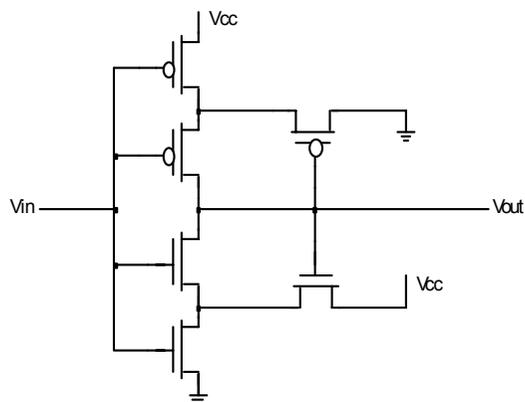
Las salidas de las puertas CMOS presentan un efecto análogo de limitación de tensión, debido a que el drenaje de un transistor MOS forma siempre una unión PN con el sustrato del mismo.

En principio, las entradas presentan una tensión de conmutación por debajo de la cual la entrada es entendida como **0** y por encima como **1**. A veces, resulta útil disponer de entradas con histéresis, que tengan dos tensiones de conmutación: cuando la entrada se encuentra a **0** y se aumenta paulatinamente su tensión, la salida conmuta al alcanzarse el valor  $V_b$ ; pero, en cambio, cuando la entrada se encuentra a **1** y se disminuye gradualmente su tensión, la salida conmuta para un valor  $V_a$  distinto, siendo  $V_a < V_b$  (en la serie HCMOS, alimentada a 5 V, las tensiones de conmutación suelen ser 2 y 3 V).



Este tipo de entradas con histéresis recibe el nombre de entradas *Schmitt*; su comportamiento asimétrico respecto a las variaciones de la tensión de entrada sirve para evitar los rebotes que se producen cuando dicha variación es lenta y la tensión de entrada permanece un cierto tiempo en el entorno de la tensión de conmutación.

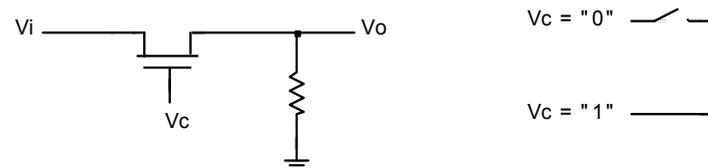
La figura siguiente representa el circuito correspondiente a un inversor con entrada *Schmitt*; los transistores «horizontales», conectados a la tensión de salida, introducen una realimentación que da lugar a la histéresis: con salida **1** los dos NMOS inferiores forman un divisor de tensión cuyo efecto es desplazar hacia arriba la tensión de conmutación, mientras que para salida **0** el divisor de tensión de los dos PMOS superiores desplaza hacia abajo la otra tensión de conmutación.



9.3. Puertas de transmisión

Los transistores MOS pueden ser utilizados como conmutadores para «dejar pasar» o «impedir el paso» de una tensión. La existencia o no de canal entre fuente y drenaje determina que la resistencia de paso sea reducida (inferior a 100  $\Omega$ ) o muy alta (superior a los 10 M $\Omega$ ). Esta actuación del transistor MOS como «transistor de paso» o conmutador añade a la diversidad de puertas inversoras una nueva puerta no inversora: la puerta de transmisión.

Un transistor NMOS actúa en la forma siguiente, siendo  $V_{TO}$  la tensión umbral:

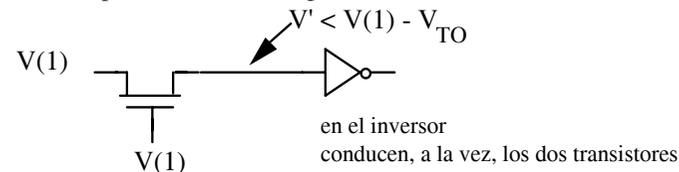


- para  $V_c = 0 < V_{TO}$  el transistor se encuentra en corte, presenta una resistencia de paso superior a 10 M $\Omega$  y no comunica a la salida la tensión de su entrada
- cuando  $V_c = 1 \gg V_{TO}$  el transistor conduce, su resistencia es inferior a 100  $\Omega$  y transmite hacia la salida la tensión presente en su entrada (los transistores MOS son simétricos, de modo que cada uno de sus terminales extremos actuará como fuente o como drenaje, según convenga al sentido de las intensidades):
  - + si  $V_i = 0 = 0 V$ , la tensión en la salida será también nula,  $V_o = 0 V$
  - + si  $V_i = 1 = V_{CC}$ , la tensión en la salida será  $V_o = V_{CC} - V_{TO}$ , pues se requiere una tensión  $V_{TO}$  entre fuente y puerta para permitir la formación del canal (en este caso, la fuente corresponde al terminal de salida  $V_o$ ).

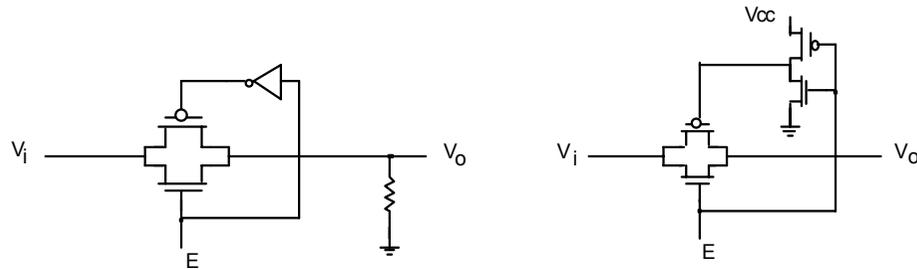
Es decir, al transmitir un **1** la puerta de transmisión produce un desplazamiento de tensión igual a su tensión umbral (para  $V_i = V_c = 5 V$  y  $V_{TO} = 1,5 V$ , la tensión transmitida por la puerta será sólo de unos 3,5 voltios).

De esta forma, un transistor NMOS corresponde a un circuito abierto cuando su terminal de control se encuentra a **0** y, en cambio, a **1** permite el paso a su través del valor booleano presente a su entrada; si el valor a transmitir es **1** se produce un desplazamiento en tensión ( $\Delta V \sim -V_{TO}$ ).

Este desplazamiento (del valor booleano **1** al atravesar un transistor NMOS) se ve aumentado por un efecto de segundo orden (denominado efecto substrato); de forma que la tensión de salida  $V_o(1) < V_{CC} - V_{TO}$  no es suficiente para asegurar la situación de consumo nulo en las puertas booleanas siguientes.

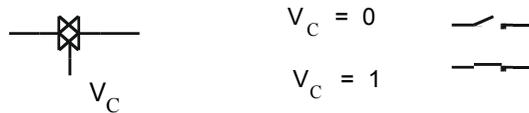


Es posible evitar esta disminución de la tensión del **1** booleano, construyendo las puertas de transmisión con dos transistores complementarios en paralelo; ésto obliga, además, a añadir un inversor entre la tensión de puerta del transistor NMOS y la puerta del PMOS (ya que el transistor PMOS conduce con  $V_E = 0$ ).



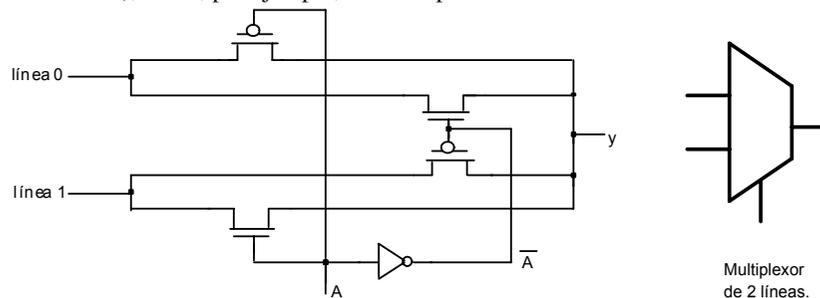
- para  $V_E = 0$  ambos transistores se encuentran en corte y la puerta de transmisión no conduce;
- cuando  $V_E = V_{CC}$  (en el terminal de puerta del transistor PMOS habrá 0 V) los dos transistores conducen, transmitiendo a la salida el valor de tensión presente en su entrada, sin producir ningún desplazamiento de nivel: el transistor NMOS conduce siempre que  $V_o < V_{CC} - V_{TO}$  y el transistor PMOS lo hace siempre que  $V_o > V_{TO}$ , de forma que entre los dos cubren el intervalo  $[0 - V_{CC}]$ .

Para representar las puertas de transmisión puede utilizarse el siguiente símbolo:

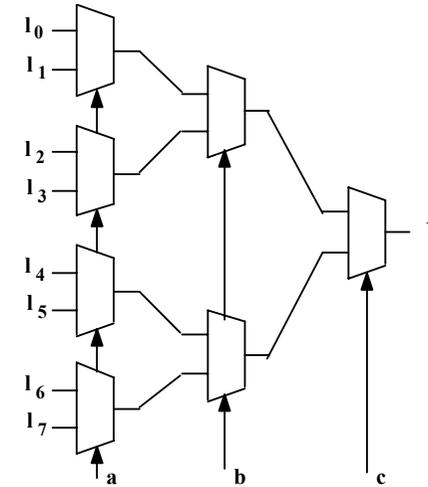


La puerta de transmisión tiene el inconveniente de que la variable de control ha de actuar a través de sus dos transistores en forma invertida (con un inversor intermedio), de manera que a los dos transistores que configuran la puerta han de agregarse otros dos transistores para el correspondiente inversor.

Pero este inconveniente no es tal en aquellas estructuras que siempre utilizan las entradas en forma afirmada y negada (y, por tanto, requieren ya de por sí el invertir la señal de control), como, por ejemplo, los multiplexores:



Un multiplexor de 2 entradas es directamente ampliable conectando módulos iguales en cascada (para n líneas serán necesarios n-1 módulos conectados en cascada):



El esquema anterior contiene 14 puertas de transmisión; conformadas por 2 transistores cada una, y 3 inversores para las 3 entradas (el inversor de cada columna de multiplexores es común a todos ellos); en total 34 transistores, mientras que un multiplexor análogo realizado con puertas "y-negada" (Nand) necesita 8 puertas de 4 entradas, una de 8 y 3 inversores, es decir, 86 transistores.

De esta forma, la conexión en cascada de puertas de transmisión proporciona una configuración muy simple y modular para los multiplexores y el número de transistores necesarios es claramente inferior a los que se requieren con puertas inversoras; por la misma razón el tiempo de propagación es también inferior.

Habida cuenta de que las puertas de transmisión son simétricas, un multiplexor construido con ellos también lo es y puede ser utilizado como demultiplexor; en tal caso se presenta el problema de que las líneas de salida no seleccionadas quedan en alta impedancia (no en salida 0, como correspondería a un demultiplexor digital), lo cual puede solventarse añadiendo resistencias que referencian a 0 V dichas líneas.

Incluso, en muchas ocasiones, es útil el estado de alta impedancia de las salidas del demultiplexor pues permite conservar sobre cada línea el último de los valores transmitidos a la misma (para lo cual será necesario que exista una capacidad adecuada conectada en cada línea de salida).

Las puertas de transmisión son, también, buenos interruptores analógicos (*analog switches*) que controlan el paso de señales en el intervalo  $[0, V_{CC}]$  establecido por las tensiones de control (de puerta) de sus transistores; caso de que la señal de control utilice como niveles  $-V_1$  y  $+V_2$ , la puerta de transmisión admitirá señales analógicas entre tales valores  $[-V_1, +V_2]$ .

De esta forma, las puertas de transmisión sirven para muestrear señales analógicas y para realizar su multiplexado o demultiplexado:

- un multiplexor construido con puertas de transmisión puede transmitir cualquier tensión dentro de los límites fijados por sus tensiones de control  $[-V_1, +V_2]$ : constituye un multiplexor analógico que permite seleccionar por su número una de entre  $n$  tensiones (por ejemplo, para medir diversas tensiones con un mismo conversor analógico-digital);
- el mismo multiplexor, utilizado en sentido inverso (una entrada,  $n$  salidas) es un demultiplexor analógico, cuyas líneas de salida adoptan el estado de alta impedancia cuando no son seleccionadas y pueden conservar, sobre capacidades, el último valor de tensión transmitido a cada línea (puede servir, por ejemplo, para comunicar varias referencias de tensión).

Asimismo (como se verá en los capítulos 11 y 13), las puertas de transmisión resultan útiles para la construcción de biestables.

#### 9.4. Realización CMOS de las estructuras matriciales

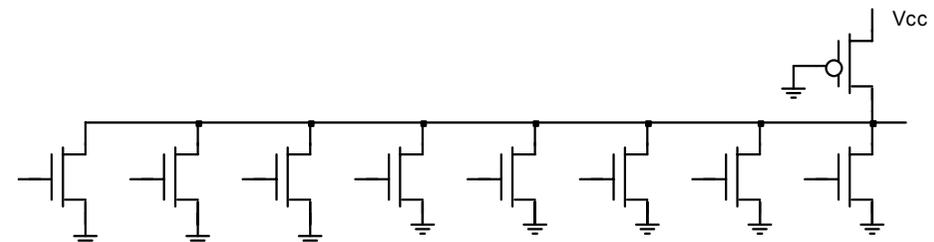
Las puertas CMOS complementarias son inversoras de forma que no pueden construirse directamente las puertas "y" y las puertas "o" propias de las Matrices que conforman las configuraciones reticulares; ello no supone ningún inconveniente por cuanto que toda suma de productos puede ser sustituida por puertas "y-negada":  $\sum p = Nand ( Nands )$ .

Ahora bien, a la hora de construir funciones booleanas de muchas entradas resulta que las puertas CMOS necesarias para ello presentarán (en uno de sus dos planos P o N) un alto número de transistores MOS en serie; cuando conducen, dichos transistores suman sus resistencias de paso y la resistencia de salida resultante será relativamente alta, empeorándose mucho las características de intensidad de salida disponible, velocidad de trabajo e inmunidad frente al «ruido» de la puerta lógica.

Precisamente las estructuras matriciales son útiles cuando se trata de configurar funciones de un alto número de entradas; en ellas se presentará este problema propio de las puertas de muchas entradas.

La conexión en serie de un número alto de transistores MOS se evita utilizando puertas "o-negada" (*Nor*), cuyo plano N presenta todos sus transistores NMOS en paralelo, y reduciendo el plano P de las mismas a un solo transistor PMOS como resistencia de polarización (con su entrada conectada directamente a 0 V).

Tales puertas se denominan pseudoNMOS, pues su configuración es análoga a la de las puertas propias de las tecnologías NMOS (solo que, en ese caso, el transistor que hace de resistencia de polarización es de tipo NMOS con un canal implantado –NMOS de empobrecimiento–):



Las puertas "o-negada" (*Nor*) pseudoNMOS presentan dos ventajas que las hacen muy apropiadas para estructuras matriciales y programables:

- permiten un alto número de entradas, pues los correspondientes transistores se conectarán en paralelo;
- presentan un solo plano activo de forma que, en cuanto a dispositivos programables solamente será necesario programar sobre el plano NMOS y tal programación consistirá en «desconectar» transistores que se encuentran en paralelo.

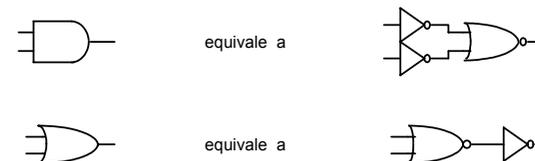
Por contra, estas puertas tienen el inconveniente de que su consumo estático no es nulo.

El transistor PMOS actúa como resistencia de polarización y conduce siempre; cuando la salida es 0, también conduce el plano NMOS, originando un consumo estático a través de la malla de salida. Este consumo puede reducirse conectando la entrada del transistor PMOS a un terminal de habilitación, que permita limitar la actividad de estas puertas al intervalo de tiempo en que interese su actuación, manteniéndolas inactivas y con consumo nulo en el resto:

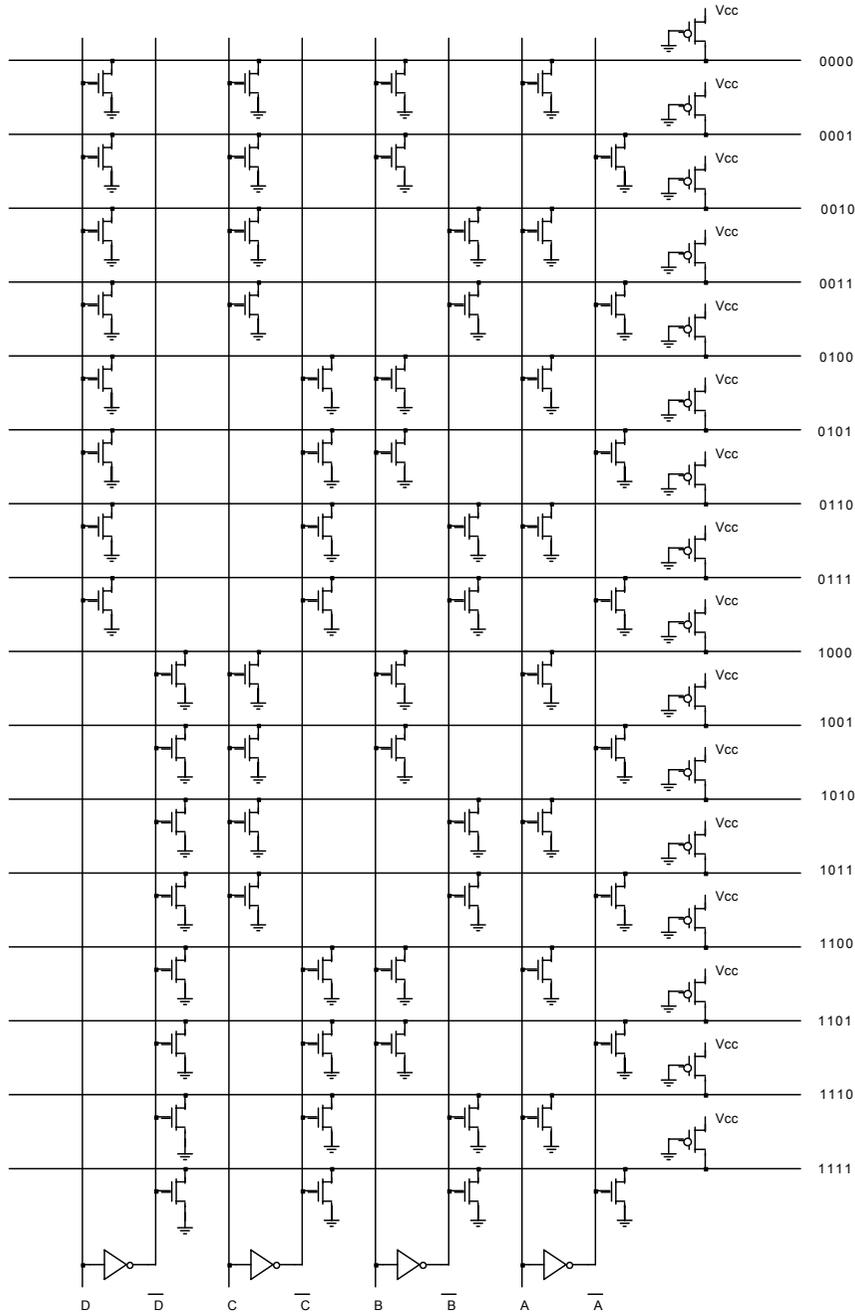
- para  $\bar{E} = 1$  el transistor PMOS no conducirá y la puerta estará deshabilitada
- para  $\bar{E} = 0$  la puerta se encontrará en normal funcionamiento como puerta *Nor*.

Es fácil construir puertas "y" y puertas "o" a partir de las puertas "o-negada":

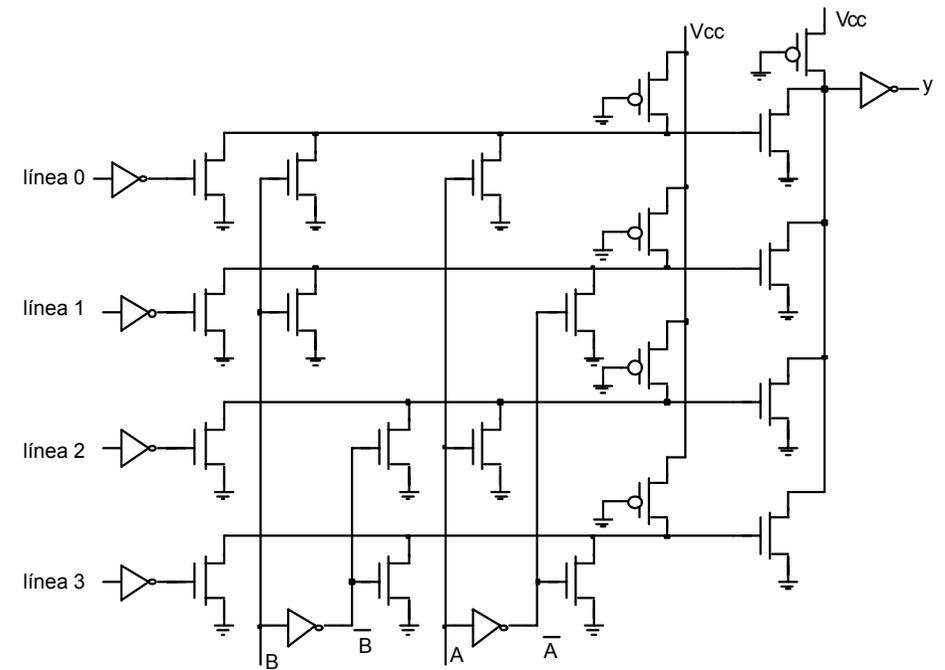
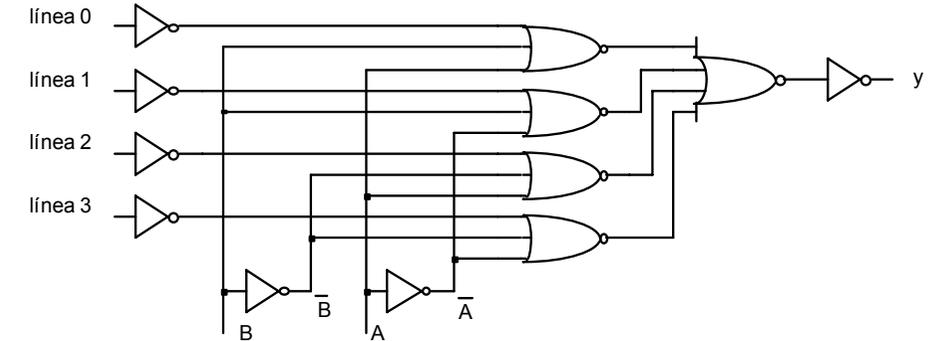
$$a + b = \overline{\overline{a + b}} = \overline{\overline{a} \cdot \overline{b}}; \quad a \cdot b = \overline{\overline{a \cdot b}} = \overline{\overline{a} + \overline{b}} = \overline{\overline{a}} \Delta \overline{\overline{b}}$$



La figura de la página siguiente representa un decodificador de 4 variables con puertas "o-negada" pseudoNMOS; obsérvese en ella que (a fin de configurar la operación "y") las puertas *Nor* están conectadas a las variables negadas cuando su valor en el vector de entrada es 1 y a las variables afirmadas cuando es 0.



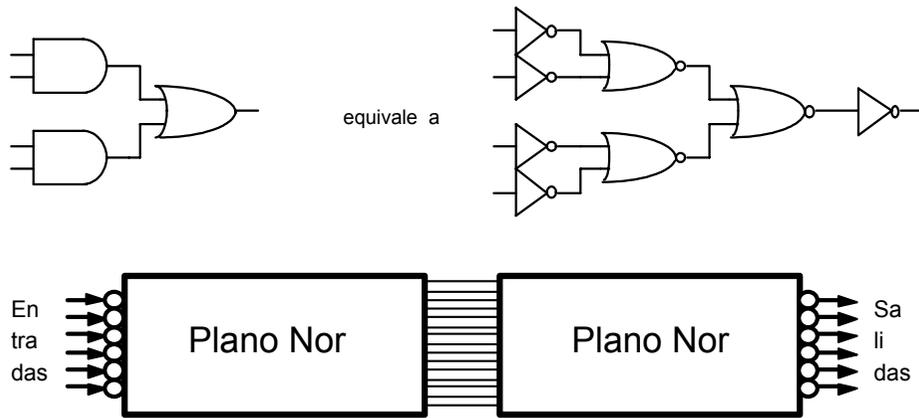
Un segundo ejemplo: la configuración de un multiplexor de 4 líneas de entrada será semejante a la del correspondiente decodificador, añadiendo una entrada a cada una de las puertas y recogiendo las salidas de ellas sobre una puerta *Nor* con una inversión posterior.



Multiplexor de 4 líneas de entrada (2 variables de control)

Conviene insistir en que, por razones obvias de facilidad de realización y de comprensión de los dibujos, las figuras se refieren a bloques con un reducido número de variables y, sin embargo, estas estructuras son realmente interesantes y útiles cuando se trata de un amplio número de entradas.

El conjunto Matriz Y - Matriz O propio de las estructuras ROM, PLA y PAL puede ser sustituido por dos matrices *Nor*, la primera de ellas con una inversión previa de sus entradas y la segunda con una inversión posterior de sus salidas:

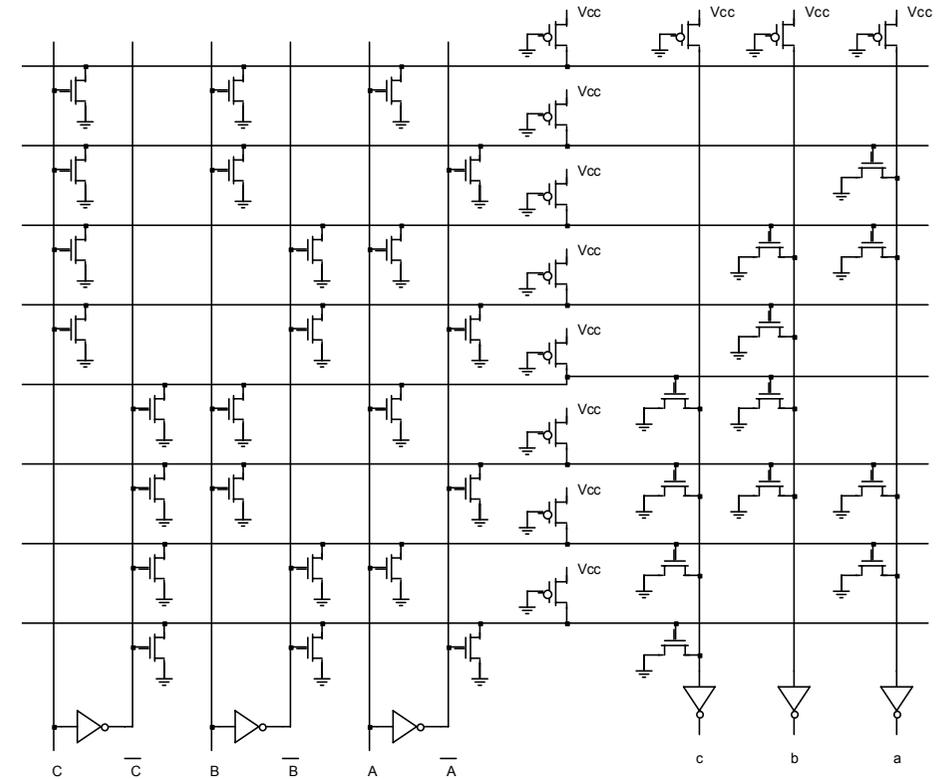


Téngase en cuenta que no es preciso añadir los inversores de las entradas puesto que éstas ya disponen de ellos en la retícula de conexiones de la Matriz Y: bastará tomar las variables adecuadamente negadas (cuando su valor en el vector de entrada sea **1**) o afirmadas (cuando sea **0**).

La figura de la página siguiente representa un sencillo codificador que realiza el cambio de código binario a código Gray para números de 3 dígitos, conforme a la siguiente tabla de conversión:

C	B	A	c	b	a
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	1
0	1	1	0	1	0
1	0	0	1	1	0
1	0	1	1	1	1
1	1	0	1	0	1
1	1	1	1	0	0

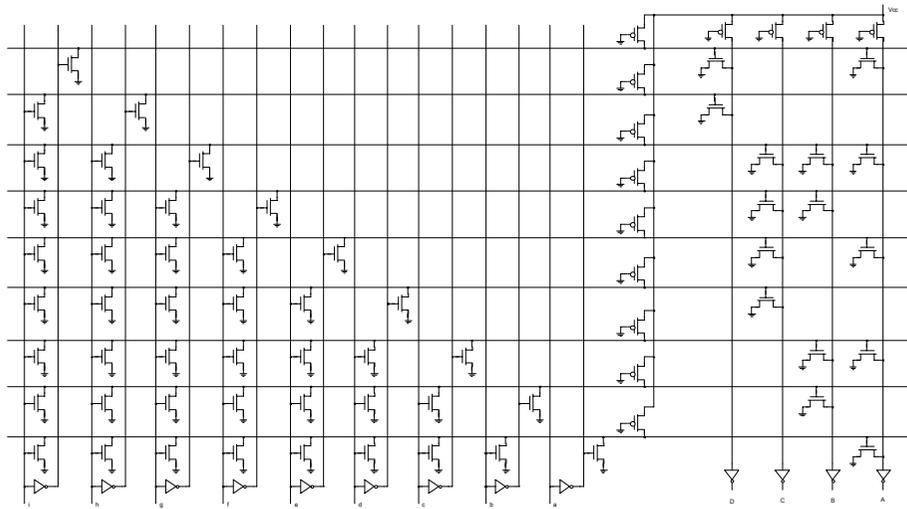
En esta figura pueden apreciarse las dos matrices que forman la configuración ROM: la Matriz Y de entradas (matriz completa que construye todos los términos mínimos) y la Matriz O de salidas (matriz funcional que coincide con la tabla de las funciones). Obsérvese que las puertas *Nor* de la Matriz Y se encuentran dibujadas en horizontal (en cuanto a sus transistores NMOS) mientras que las puertas *Nor* de la Matriz O están dibujadas en vertical.



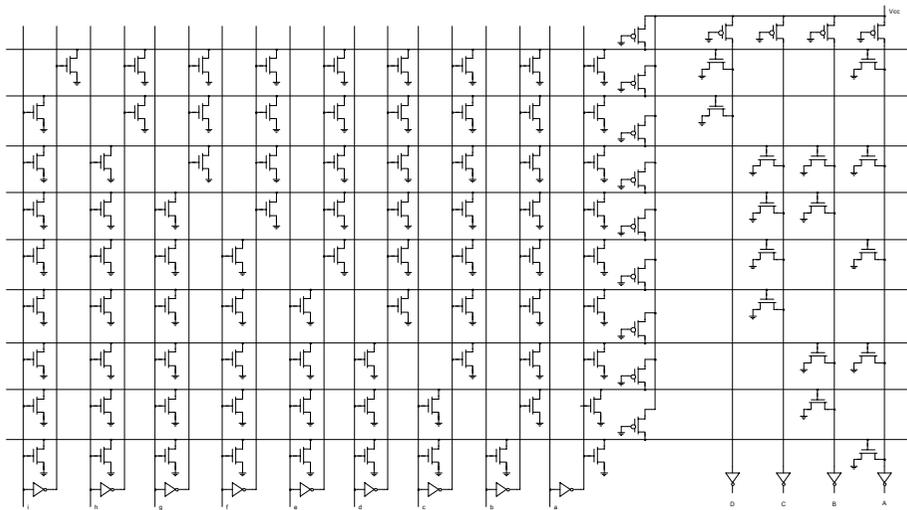
Codificador binario → Gray para números de 3 dígitos, en configuración ROM

Tanto las estructuras matriciales como las puertas pseudoNMOS (*Nor* con un solo transistor PMOS) solamente tienen sentido para muchas entradas. En esa perspectiva, la siguiente página presenta dos ejemplos de bloques de 9 entradas en configuración PLA:

- Un codificador de prioridad de 9 líneas, cuya salida es el número binario que corresponde a la línea activa de mayor número.
- Un conversor de código de barra de 10 niveles a código BCD, cuyos vectores de entrada corresponden a los 10 niveles, de 0 a 9 (**00000000**, **00000001**, **00000011**, **00000111**, **00001111**, **00011111**, **00111111**, **01111111** y **11111111**) y su salida es el número BCD correspondiente al mismo nivel (**0000**, **0001**, **0010**, **0011**, **0100**, **0101**, **0110**, **0111**, **1000** y **1001**).



Codificador de prioridad de 9 líneas, en configuración PLA

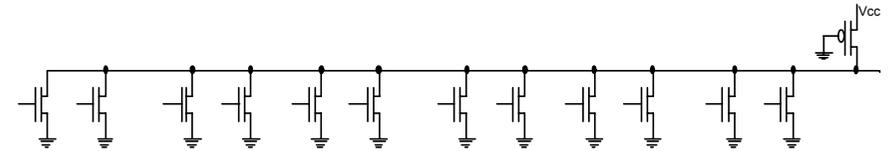


Conversor de código de barra a código BCD, en configuración PLA

### 9.5. Dispositivos programables

La forma de construir circuitos integrados programables consiste en insertar un transistor en cada uno de los nudos de la retícula de aquella matriz (o matrices, en el caso PLA) que deba ser programable y añadir a cada uno de estos transistores un dispositivo o componente que permita eliminar su presencia.

La configuración pseudoNMOS hace que solamente sea necesario programar el plano N, pues el plano P es fijo, constituido por un transistor PMOS único que actúa como resistencia de polarización: para las entradas booleanas se utilizan solamente transistores de tipo NMOS, todos ellos en paralelo (puerta *Nor*) y su programación consiste en eliminar (*desconectar*) los correspondientes transistores.



Ciertamente, en el caso de puertas CMOS con los dos planos complementarios, la programación de ambos planos sería sumamente compleja, pues en uno de ellos los transistores se encontrarían en serie y su programación consistiría en «puentearlos» (lo cual es mucho más difícil que *desconectarlos*).

#### Fusibles

Un fusible en serie con cada transistor NMOS (en la matriz programable) permite «desconectar» dicho transistor.

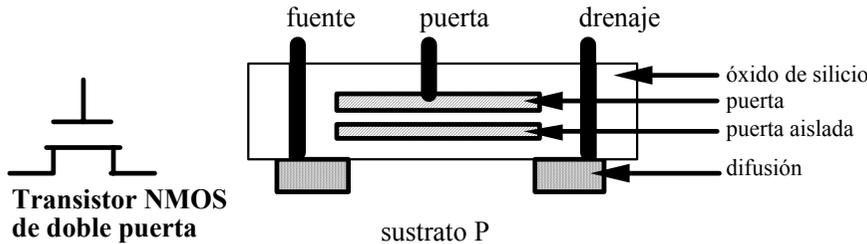
Los fusibles se configuran mediante un estrechamiento en un conductor de un material apropiado, de forma que pueda «fundirse» por efecto térmico mediante el paso de una intensidad relativamente elevada; para ello se utilizan aleaciones de platino-silicio, titanio-tungsteno o níquel-cromo (nicrom, que es quizás la aleación más utilizada por ser la menos costosa).

Los fusibles se programan mediante «fusión térmica» utilizando pulsos de intensidad relativamente alta, con fuerte pendiente  $dI/dt$  para generar tensiones puntuales apreciables (por efecto inductivo); de esta forma el efecto en potencia V.I de los pulsos de intensidad es considerable. Se emplean tensiones típicas de 10,5 V, aplicadas en pulsos repetitivos de anchura entre 10 y 50  $\mu$ s, dando lugar a intensidades de 0,1 - 0,5 A con tiempos de subida del orden de 100 ns.

Los fusibles se utilizan principalmente en tecnologías bipolares, en dispositivos matriciales (PAL, PLA, PROM) de alta velocidad.

**Transistores MOS de doble puerta**

Los transistores de doble puerta son de tipo NMOS, con una puerta interior flotante, aislada eléctricamente y una segunda puerta, por encima de la anterior, que actúa como entrada. La puerta interior es capaz de almacenar carga eléctrica y mantenerla indefinidamente; si la carga de dicha puerta es negativa (electrones), aumenta la tensión umbral del transistor hasta llegar a situarse por encima de la tensión de alimentación: la tensión umbral  $V_{TO}$  pasa del intervalo 1–2 V a ser superior a 8 V, por lo que el transistor nunca llega a conducir.



La programación se produce por inyección de carga sobre la puerta aislada:

- la puerta interior queda cargada negativamente y se opone al efecto que la tensión de entrada en la otra puerta tiene para la creación del canal, lo cual se traduce en una fuerte elevación de la tensión umbral
- el transistor en esta situación no conduce nunca ya que su tensión umbral ha pasado a ser superior a la tensión de alimentación y por tanto al valor de tensión que recibe en su entrada exterior para el valor booleano 1
- el resultado práctico es la «desconexión» efectiva del transistor
- el buen aislamiento que realiza el óxido de silicio permite mantener durante centenares de años la carga electrostática de la puerta interior.

Ahora bien, existen métodos para eliminar la carga almacenada en la puerta aislada y, de ese modo, «borrar» la programación, es decir, volver a «conectar» el transistor. Por eso, los transistores MOS de doble puerta son reprogramables: su programación puede ser anulada (borrada) y, luego, pueden volverse a programar.

*EPROM: borrado por luz ultravioleta*

Este primer tipo de transistores MOS de doble puerta se programa a partir de una fuerte corriente de canal y de una tensión relativamente alta en la puerta externa; algunos de los electrones que circulan por el canal, acelerados, son capaces de «saltar» a la puerta aislada, a través de la fina capa de óxido que la separa.

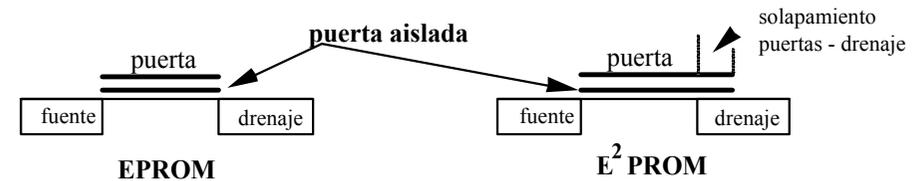
La programación (la acumulación de carga en la puerta aislada) requiere tensiones relativamente altas (~12 V) en drenaje (para provocar una corriente alta a través del canal) y en puerta (para atraer a los electrones).

El «borrado» se efectúa mediante la exposición a luz ultravioleta; ésta proporciona a los electrones atrapados en la puerta aislada energía suficiente para volver al sustrato; se utilizan lámparas de luz ultravioleta de longitudes de onda del orden de 2.537 Å durante unos 15 ó 20 minutos.

Este tipo de transistores es designado con las siglas **EPROM** (*erasable programmable ROM*: ROM programable y borrrable) debido a que su primera utilización fue en los bloques de tipo ROM programables; quizás una denominación más adecuada sería la de UVMOS (transistores MOS borrrables por luz ultravioleta).

*EEPROM: borrado por tensión eléctrica*

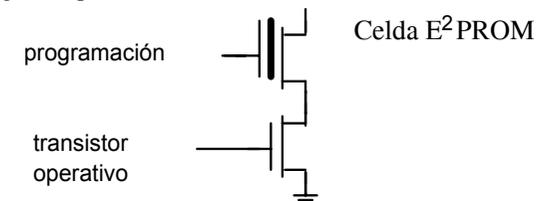
La reducción del espesor del óxido de silicio que separa la puerta interior del sustrato junto con un pequeño solapamiento de las dos puertas con el drenaje ha permitido hacer reversible el proceso de almacenamiento de carga: la puerta aislada se carga y se descarga desde el drenaje por atracción (tensión de puerta positiva) o repulsión de electrones (tensión negativa).



Un pulso de tensión positiva (relativamente alta) entre la puerta exterior y el drenaje produce almacenamiento de carga (atrae electrones del drenaje a la puerta aislada) y un pulso análogo pero negativo elimina la carga almacenada (repele los electrones y los devuelve al drenaje).

Este segundo tipo de transistores MOS de doble puerta da lugar a dispositivos programables y «borrables» eléctricamente; en ambos casos, el tiempo necesario es del orden de varios milisegundos y se requieren adecuadas tensiones positiva y negativa, generalmente ±12 V.

El borrado es individual (se efectúa sobre un solo transistor), pero presenta un problema de «sobreborrado»: cuando la tensión de la puerta exterior es negativa, además de eliminar los electrones de la puerta aislada, dicha puerta suele cargarse positivamente y dicha carga genera un canal permanente que pone en conducción al transistor. Por ello, es necesario utilizar dos transistores en serie: el de doble puerta que sirve para conectar y desconectar al segundo que es un transistor NMOS normal.



Este tipo de celda con dos transistores es nombrado con las siglas **EEPROM** o **E<sup>2</sup>PROM** (*electrical erasable programmable ROM*: ROM programable y borrable eléctricamente) y su programación (en ambos sentidos: desconexión o conexión del transistor) puede realizarse en el propio sistema digital.

#### FLASH: borrado global

Un tercer tipo de transistores MOS de doble puerta proviene de agrupar los dos transistores de la celda E<sup>2</sup>PROM en uno solo: las dos puertas se solapan con la fuente y la puerta aislada sólo ocupa la mitad de la longitud del canal. De esta forma es como si hubiera dos semitransistores unidos: un transistor de doble puerta, que puede cargarse y descargarse desde la fuente, seguido de un transistor normal de puerta única (conectada con la puerta exterior del anterior).

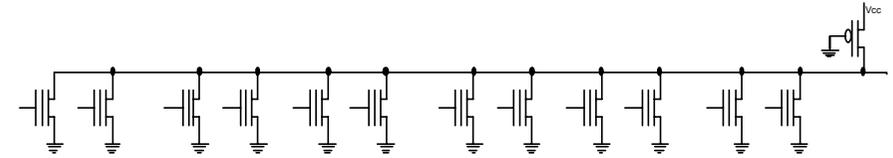


El proceso de carga de la puerta aislada es del tipo 1 EPROM, con una intensidad alta de canal que deriva electrones hacia dicha puerta (tensiones de puerta exterior y de drenaje relativamente altas, ~12 V). La descarga (el borrado) se produce según el tipo 2 EEPROM, por pulsos de tensión positiva sobre la fuente, la cual atrae a los electrones de la puerta aislada. En este caso no hay riesgo de «sobrborrado»; aunque la puerta aislada se cargue positivamente, no puede poner en conducción al transistor, ya que sólo afecta a la mitad del mismo (queda en todo caso otra mitad de transistor, cuyo canal solamente puede ser creado por la tensión sobre la puerta exterior).

Habida cuenta de que la fuente es un nudo común a todos los transistores NMOS (terminal de *tierra* de las puertas *Nor*), el borrado no puede realizarse individualmente (como en el caso EEPROM) sino que afecta a todos los transistores del bloque. Este tipo de borrado global y relativamente rápido en comparación con el borrado por luz ultravioleta ha motivado la utilización del calificativo **FLASH** para designar este tercer tipo de transistores MOS de doble puerta.

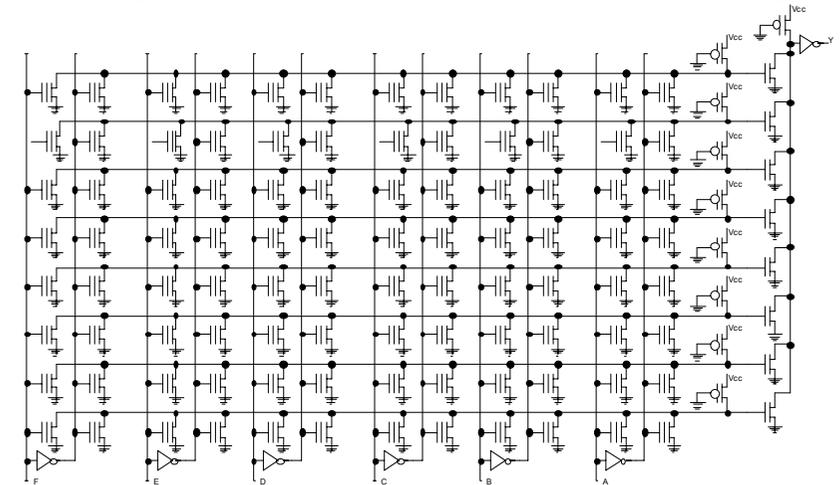
En buena medida, la tecnología **FLASH** incorpora las ventajas de las dos anteriores: requiere un solo transistor (y no dos como la EEPROM) y el borrado es por tensión eléctrica. Además, por ser una tecnología muy reciente, sus transistores son de dimensiones muy reducidas (ésto permite una densidad de integración muy alta), sus tiempos de programación son bajos (~10  $\mu$ s) y el borrado es muy sencillo (un simple pulso positivo sobre el terminal de fuente, común a los transistores NMOS) y completo (se borra todo el bloque a la vez); el tiempo necesario para el borrado es del orden de 1 segundo.

Una puerta "o-negada" (*Nor*) pseudoNMOS con transistores de doble puerta presenta la siguiente configuración:



Al programar uno de dichos transistores, por acumulación de carga negativa en su puerta interior, dicho transistor pasa a tener una tensión umbral muy alta que equivale a eliminarlo (*desconectarlo*) de la puerta.

La figura siguiente representa un módulo PAL de 6 entradas y 8 términos producto:



En esta figura, las puertas *Nor* de los 8 términos producto están representadas en «horizontal» y contienen 12 transistores EPROM (correspondientes a las 6 entradas y sus negadas), mientras que la puerta *Nor* de salida está representada en «vertical» con 8 transistores NMOS (correspondientes a la suma de los 8 términos producto).

Un bloque PAL que contenga 10 de estos módulos de 6 entradas con 8 términos producto por módulo tendrá el siguiente número de transistores:

- cada módulo:  $8 \times 6 \times 2 = 96$  transistores EPROM + 8 NMOS + 9 PMOS
  - los inversores de las entradas: 6 transistores NMOS + 6 PMOS
  - los inversores de las salidas: 10 transistores NMOS + 10 PMOS
- en total: 960 transistores programables + 96 NMOS + 106 PMOS.