

## 7 PUERTAS LÓGICAS CON DIODOS E INTERRUPTORES

- 7.1. Tensiones booleanas
- 7.2. Puertas lógicas con diodos
- 7.3. El problema del acoplo en tensión
- 7.4. El interruptor como inversor; puertas inversoras
- 7.5. Características ideales en una puerta lógica
- 7.6. El transistor MOS como interruptor

*El álgebra de conmutadores constituye una «materialización» del álgebra booleana binaria, una forma de construirla físicamente mediante la conexión de interruptores con dos estados: paso y corte.*

*Hay muchos dispositivos físicos, no necesariamente eléctricos, que pueden utilizarse como interruptores (por ejemplo, neumáticos, con aire a presión o con fluidos). Pero entre los diversos tipos de interruptores predominan los componentes electrónicos y, más en concreto, los transistores por su altísima velocidad de conmutación entre los dos estados y por su reducido tamaño (que se traduce en alta densidad de integración, bajo consumo, reducido coste, ...).*

*Los diodos, como simples «discriminadores de polaridad», pueden actuar a manera de «interruptores de paso» (sin entrada de control) y configurar puertas booleanas no inversoras, "o" e "y"; pero tales puertas sólo pueden utilizarse individualmente, debido a que presentan problemas de acoplo entre ellas.*

*Para la conexión sucesiva de puertas lógicas resulta indispensable asegurar que su tensión de salida no se modifica (es decir, no se produce una «caída de tensión» apreciable) al conectar sobre ella la entrada o entradas de otras puertas; esto es lo que se entiende por buen acoplo en tensión: conservación de la misma tensión en la salida antes y después de la conexión.*

*Las puertas lógicas habituales se construyen con transistores y son de tipo inversor, "y-negada", "o-negada",... El estudio de puertas inversoras con interruptores ideales facilita la comprensión de su configuración y funcionamiento y permite considerar las características ideales para ellas.*

*Precisamente el transistor MOS es un interruptor cuasi-ideal con el que puede construirse una amplísima diversidad de puertas inversoras de muy buenas características.*

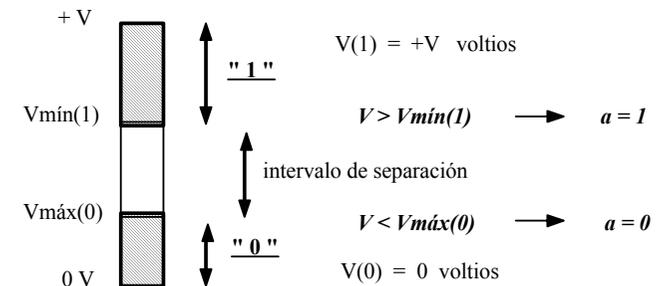
*Acoplo en tensión, inmunidad frente a las perturbaciones (frente al «ruido» electromagnético), velocidad de trabajo (o, lo que es lo mismo, tiempo de respuesta) y consumo son aspectos a tener en cuenta en el funcionamiento de las puertas lógicas. Tales cuestiones están relacionadas con las resistencias de entrada y de salida y con la capacidad de entrada de las puertas.*

### 7.1. Tensiones booleanas

Los estados eléctricos representativos de los valores booleanos estarán definidos en términos de tensión o de intensidad; generalmente se expresan en forma de tensión ya que resulta más sencillo razonar con tensiones que con intensidades. [A fin de cuentas, la tensión es una diferencia de potencial «presente» entre dos puntos, mientras que la intensidad es una corriente que fluye, «que pasa».]

A cada estado o valor booleano le corresponderá un intervalo de tensión determinado y entre ambos intervalos, correspondientes al **0** y al **1**, existirá una zona de separación.

En general al **0** booleano se le asocia un intervalo de tensión a partir de **0** voltios y al **1** se le asigna un intervalo de tensión hasta **+V** voltios, siendo **V** la tensión de alimentación.



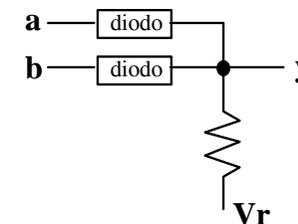
Este tipo de asignación en la que  $V(1) > V(0)$  se denomina lógica positiva, para distinguirla de los casos en que  $V(1) < V(0)$  que corresponden a lógica negativa.

### 7.2. Puertas lógicas con diodos

*Nota: para quienes no hayan estudiado anteriormente el comportamiento de los diodos, el capítulo T1 describe la forma de actuar de los diodos y presenta un modelo operativo del funcionamiento de los diodos semiconductores; ver T1.2. Unión PN (y, en su caso, ver también T1.1. Semiconductores).*

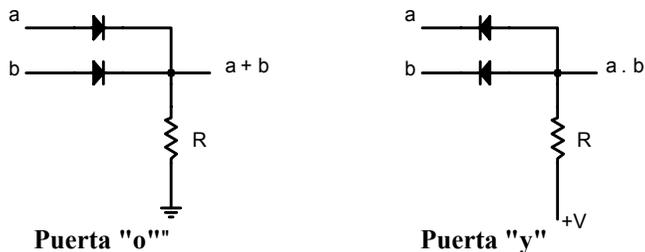
Entendemos por puertas booleanas o puertas lógicas las realizaciones concretas de las operaciones booleanas mediante dispositivos físicos.

Las puertas lógicas con diodos tendrán una estructura del tipo siguiente:



Los diodos actúan dejando pasar la tensión de sus entradas cuando ésta corresponde a uno de los dos valores lógicos y no dejándola pasar para el otro valor; la tensión de referencia  $V_r$  debe ser la correspondiente al valor que «no pasa».

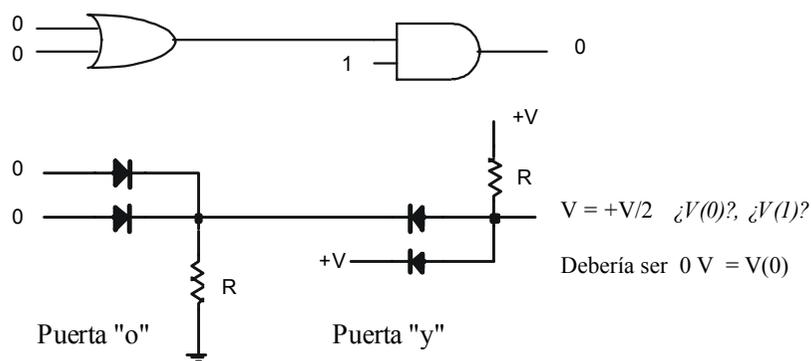
La puerta "o" debe dejar pasar los «unos», de forma que siempre que haya un 1 a la entrada el resultado sea 1 y la puerta "y" debe dejar pasar los «ceros», ya que siempre que una entrada sea 0, el resultado debe ser 0 también.



Estas puertas son directamente ampliables a tres o más entradas, sin más que añadir un diodo por cada nueva entrada.

Desde el punto de vista analógico la puerta "o" constituye un «selector de tensión máxima» (selecciona la mayor de sus tensiones de entrada, supuesto que dicha tensión sea mayor que 0 V) y la puerta "y" es un «selector de tensión mínima» (selecciona la menor de sus tensiones de entrada, supuesto que sea menor que +V).

Ambas puertas son simples y económicas, apropiadas para su utilización como puertas individuales, pero no para formar series de puertas lógicas, conectadas entre sí. Consideremos un ejemplo de los errores que pueden derivarse de la conexión sucesiva de puertas con diodos:



El problema reside en que la impedancia de entrada de la segunda puerta es igual a la de salida de la primera de ellas  $R$ ; con ello los efectos de carga de una puerta sobre otra pueden producir errores por desplazamiento de la tensión de salida, como en el caso anterior. No existe un buen acoplo en tensión.

Además, dado que el funcionamiento específico de los diodos consiste en dejar pasar o no una tensión a su través, sin generar nuevos valores de tensión, no es posible realizar con ellos la operación booleana de complementación o negación: no hay inversores con sólo diodos.

Por todo ello, las puertas "o" e "y" con diodos son apropiadas por su sencillez para ser utilizadas individualmente, pero no para conjuntos de puertas lógicas; son útiles para incluir en un diseño operaciones "o" e "y" aisladas (en particular para utilizar dichas puertas en circuitos analógicos o en etapas de potencia), pero no para construir funciones booleanas, que requieren varias puertas conectadas entre sí y, además, necesitan inversores.

### 7.3. El problema del acoplo en tensión

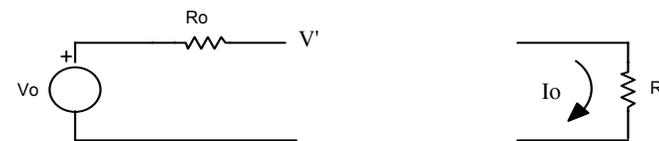
Un circuito digital estará formado por la conexión de múltiples puertas lógicas para configurar funciones booleanas; cada puerta presenta en su salida la tensión correspondiente a uno de los dos valores booleanos (0/1) y debe comunicar dicha tensión a la siguiente puerta o a varias puertas lógicas conectadas a dicha salida. Se requiere, pues, un buen acoplo en tensión, es decir, el valor de tensión de salida de una puerta no debe deteriorarse (no debe sufrir modificaciones importantes) por el hecho de conectarle una o varias entradas de otras puertas booleanas.

La condición de buen acoplo en tensión de un circuito con otro reside en que la resistencia de entrada del segundo circuito sea de valor muy superior a la resistencia de salida del primer circuito:

$$R_i \text{ (segundo circuito)} \gg R_o \text{ (primer circuito)}.$$

En tal caso, la conexión de ambos circuitos no modifica apreciablemente la tensión que presenta el primero de ellos con su salida sin conectar (*al aire*).

Visto desde su salida un circuito presenta un equivalente thevenin consistente en un generador de tensión y una resistencia (o, en el caso más general, una impedancia) de salida. La entrada del segundo circuito puede reducirse, en situación estacionaria, a una resistencia de carga: resistencia de entrada. La conexión entre los dos circuitos viene representada por la siguiente figura.



La tensión de salida del primer circuito  $V'$  coincide con la tensión de su generador thevenin  $V_o$  cuando no existe ninguna conexión sobre dicha salida; al conectar el segundo circuito, la tensión de salida  $V'$  se desplaza un valor  $\Delta V_o$ :

$$\Delta V_o = I_o \cdot R_o = V_o \cdot R_o / (R_o + R_i)$$

que será despreciable frente a  $V_o$  cuando  $R_i \gg R_o$  (o lo que es lo mismo, cuando la intensidad  $I_o$  que requiere el segundo circuito sea relativamente pequeña):

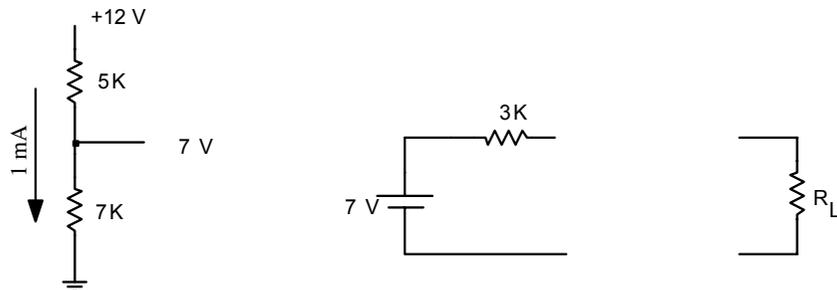
$$V' = V_o \cdot R_i / (R_i + R_o); \text{ si } R_i \gg R_o, \text{ resulta } R_i + R_o \approx R_i \text{ y, por tanto, } V' \approx V_o.$$

En tal caso se dice que existe **buen acoplo en tensión**, es decir, el primer circuito comunica al segundo la tensión presente en su salida sin que dicha tensión se modifique apreciablemente al conectar el segundo circuito sobre el primero.

¿Cuánto debe ser mayor  $R_i$  respecto a  $R_o$ ? Sea  $R_i = k \cdot R_o$ ,  $V' = V_o \cdot k / (k+1)$ ,  $\Delta V_o = V_i / (k+1)$ . Para  $k = 10$  ( $R_i$  diez veces  $R_o$ ), la tensión de salida disminuye en un 9 % por el hecho de la conexión; si  $k = 20$ , la disminución es sólo de un 5 %.

Algunos ejemplos pueden servir para aclarar el concepto de acoplo en tensión:

- Divisor de tensión

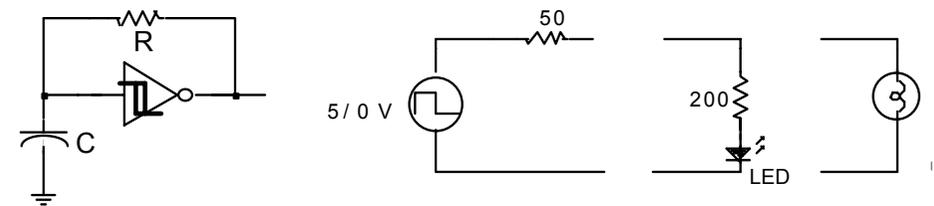


Podemos obtener una referencia de tensión de 7 V a partir de una tensión de alimentación de 12 V con un divisor de tensión formado por dos resistencias de 5K y 7K ( $5 + 7 = 12$ ).

El equivalente thevenin del divisor de tensión contiene una tensión de 7 V en serie con una resistencia de salida de  $5K/7K \approx 3K$ ; para que la referencia de 7 V no se modifique apreciablemente la resistencia de carga debe ser mucho mayor de 3K o, lo que es lo mismo, la intensidad que requiere la carga debe ser muy inferior a la que circula por el propio divisor de tensión ( $12 \text{ V} / (5K + 7K) = 1 \text{ mA}$ ).

Si no se cumple esta condición ( $R_L \gg 3K$ ) la tensión de salida del divisor de tensión disminuirá en forma apreciable al conectar la carga; con una resistencia de carga de 100K, la tensión de salida será de 6,8 V, pero si la resistencia de carga es de 1K la salida será de 1,7 V (la cuarta parte de la que corresponde al divisor de tensión aislado).

b) Oscilador en onda cuadrada (1 Hz)



El circuito de la figura anterior es un oscilador en onda cuadrada (que será de baja frecuencia si R y C son de valores altos), con niveles de tensión de salida de 0 y 5 V y una resistencia de salida del orden de 50  $\Omega$ .

Supuesta una frecuencia de oscilación de 1 Hz, si conectamos a la salida del oscilador un diodo luminiscente (con una resistencia limitadora de intensidad), el LED se encenderá y apagará una vez cada segundo; en cambio, si conectamos una pequeña bombillita de linterna (4,5 V, 200 mA: resistencia 22  $\Omega$ ) el oscilador no será capaz de encenderla: el nivel de tensión de 5 V se reducirá fuertemente.

Lo mismo sucede al utilizar como instrumentos de laboratorio generadores de señal cuya resistencia de salida no sea muy baja.

Antiguamente se utilizaban sencillos receptores de radio «galenas» consistentes en un simple diodo (para demodular la señal de radiofrecuencia) y un auricular de alta impedancia; actualmente es difícil encontrar tales auriculares, ya que los habituales son de baja impedancia y con ellos no es posible recibir una señal audible [al usar como carga una resistencia demasiado pequeña se reduce fuertemente la señal].

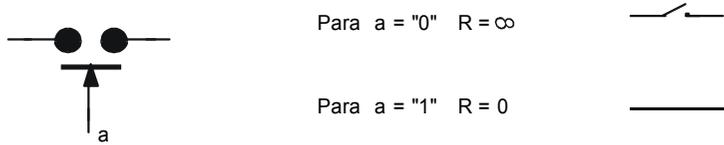
*Las puertas lógicas son utilizadas para construir funciones booleanas, mediante la conexión sucesiva de varias puertas: para tener un buen acoplo en tensión interesa que presenten muy alta resistencia de entrada y muy baja de salida.*

Ello no ocurre en las puertas con diodos, en las que la resistencia de entrada, cuando el diodo conduce, es la resistencia de polarización R y la resistencia de salida, cuando los diodos no conducen, es la misma resistencia R.

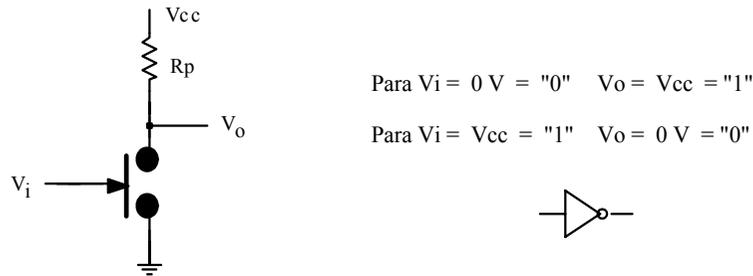
#### 7.4. El interruptor como inversor; puertas inversoras

Un interruptor o conmutador eléctrico es un dispositivo con dos estados: en uno de ellos permite el paso de corriente eléctrica a su través, presentando una resistencia prácticamente nula, y en el otro se comporta como un circuito abierto, ofreciendo una resistencia infinita al paso de corriente.

La entrada controla el estado del interruptor, de forma que cuando la tensión de entrada corresponde al 0 no conduce y cuando es 1 deja pasar libremente la corriente eléctrica; la resistencia de entrada de un interruptor ideal es infinita, es decir, la intensidad que requiere la entrada para mantener el estado es despreciable.



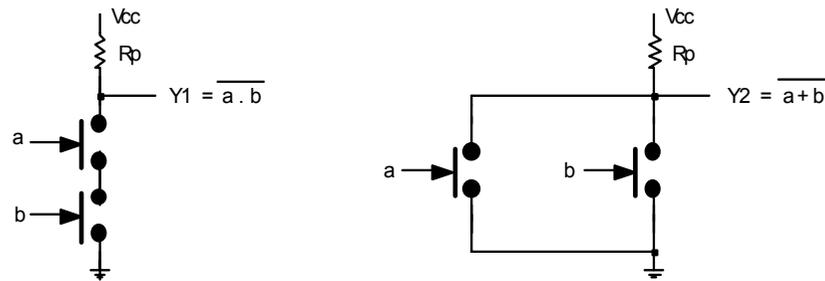
El circuito de la figura siguiente representa un inversor booleano, ya que para  $V_i = 0$  el interruptor no conduce y la tensión de alimentación  $V_{CC}$  es transmitida a la salida a través de la resistencia de polarización  $R_p$ , mientras que para  $V_i = 1$  el interruptor conduce y lleva la salida a 0 V.



El carácter inversor de este circuito se debe a que el interruptor cuando conduce no transmite un 1 sino un 0; la resistencia  $R_p$  transmite por defecto (cuando el interruptor no conduce) la tensión correspondiente al 1.

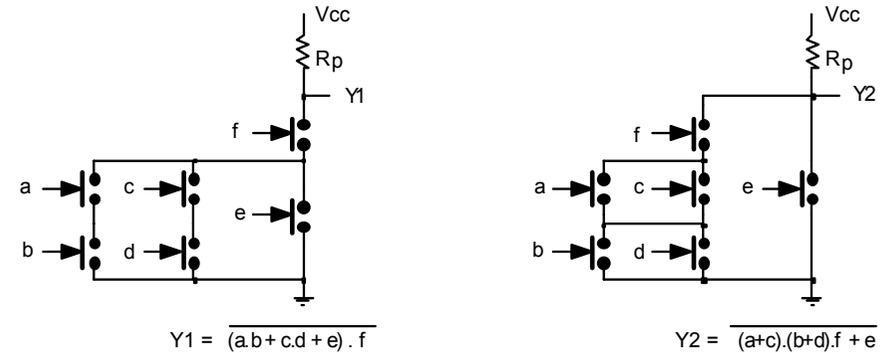
La resistencia de entrada de este inversor es la propia del interruptor, sumamente alta, mientras que la resistencia de salida es nula para salida 0 y  $R_p$  para salida 1; en ambos casos, al conectar varios inversores seguidos se cumple la condición de buen acople en tensión  $R_i \gg R_o$ .

La conexión de interruptores en serie da lugar, de acuerdo con el álgebra de conmutadores, a una operación "y", a la que sigue una inversión (debida a que el valor booleano transmitido por ellos es el 0); así se obtiene una puerta "y-negada" (Nand). De igual forma su conexión en paralelo configura una puerta "o", seguida de una inversión: puerta "o-negada" (Nor).



Puede comprobarse directamente la operación que realiza cada una de estas puertas construyendo su correspondiente «tabla de verdad».

Pero también pueden obtenerse puertas inversoras más complejas, aprovechando operaciones "y", conformadas por interruptores en serie y operaciones "o", con interruptores en paralelo.

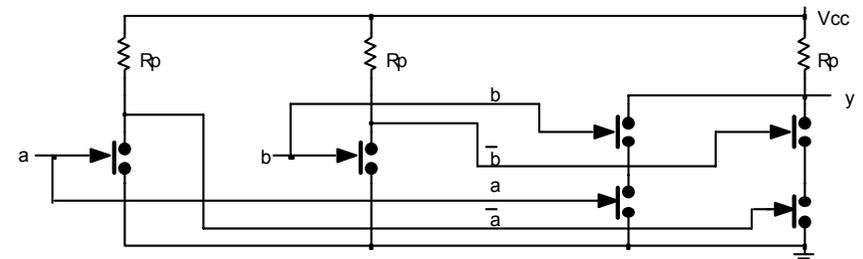


Las puertas resultantes son siempre inversoras: producen una inversión global sobre el conjunto de operaciones "y" y operaciones "o" configuradas por la forma de conexión de los interruptores; proceden de la estructura de un inversor y conservan tal carácter.

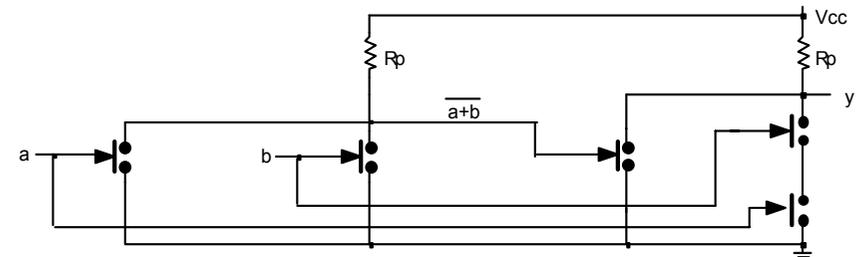
Es posible obtener una puerta "o-exclusiva" en la forma siguiente:

$$y = a \oplus b = \overline{a} \cdot b + a \cdot \overline{b} = \overline{\overline{\overline{\overline{a \cdot b}}}} = \overline{(a + b)} \cdot (a + b) = a \cdot b + \overline{a \cdot b}$$

para cuya configuración necesitamos 6 interruptores (4 para la puerta general y dos para los inversores previos de a y de b):

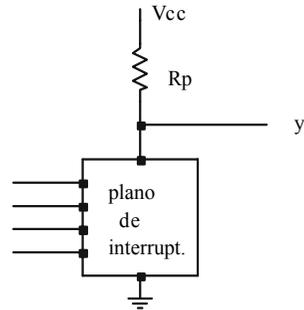


La siguiente transformación permite construir dicha operación con solamente 5 interruptores:  $y = a \oplus b = a \cdot b + a \cdot \overline{b} = a \cdot b + (a + b)$ .



En resumen, una puerta inversora está conformada por un «plano de interruptores», conectados en paralelo o en serie para configurar operaciones "o" y operaciones "y", respectivamente, y por una resistencia de polarización Rp:

- cuando el plano de interruptores conduce transmite el valor **0**:  
por ello, la puerta es inversora;
- por defecto, Rp transmite el valor **1**, cuando los interruptores no conducen.



$$R_o ("1") = R_p$$

$$R_o ("0") = 0$$

$$R_i = \infty$$

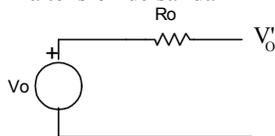
El buen acoplo en tensión queda garantizado por ser  $R_i \approx \infty$ ; el consumo para salida **1** es nulo y para salida **0** es  $I_{CC} = V_{CC} / R_p$ .

### 7.5. Características ideales en una puerta lógica

Una puerta lógica ideal, para ofrecer un excelente acoplo en tensión, debe presentar una resistencia de entrada muy alta y una resistencia de salida baja.

*INTERESA*  $R_i \sim \infty, R_o \sim 0$ .

Además, valores bajos de la resistencia de salida favorecen en gran medida la «inmunidad frente al ruido», es decir, evitan que perturbaciones electromagnéticas de cualquier tipo afecten a la tensión de salida. El equivalente thevenin presenta la resistencia de salida en serie con la tensión de salida:



cuanto más pequeña es  $R_o$  menor será el efecto de las perturbaciones que actúen sobre el nudo de salida (se requiere mayor intensidad para producir una modificación de la tensión de este nudo). [Supongamos una perturbación con una potencia P, la variación de la tensión que producirá será  $\Delta V_o = \sqrt{P \cdot R_o}$ , tanto menor cuanto menor sea  $R_o$ .]

También interesa que el tiempo de propagación de la señal, o sea, el retraso físico que se da entre la entrada y la salida sea lo más pequeño posible. Obviamente el cambio de valor en la señal de entrada y el correspondiente cambio en la salida no son simultáneos sino que existe siempre un pequeño intervalo de tiempo entre ambas señales: este retraso recibe el nombre de tiempo de propagación  $t_p$ ; cuanto menor sea este tiempo de respuesta, mayor puede ser la velocidad de trabajo de la puerta lógica, mayor será el número de bits que puede procesar en un segundo.

*INTERESA*  $t_p \sim 0$ .

Los tiempos de propagación son debidos, fundamentalmente, a efectos capacitivos en la conmutación de los interruptores y, en particular, a la capacidad equivalente que presentan las entradas de los mismos y que es preciso cargar o descargar al modificar su valor booleano. Una resistencia de salida baja colabora en la obtención de reducidos tiempos de propagación, ya que permite intensidades altas para efectuar la carga o descarga de la capacidad de entrada de la puerta siguiente.

Por otra parte, interesa que el consumo de las puertas sea lo menor posible y, si ello fuera factible, consumo nulo. El consumo se refleja en la magnitud de la fuente de alimentación que ha de proporcionar la tensión VCC y en el gasto energético que produce el circuito; pero, también, en la disipación de calor en el propio circuito y, en su caso, en la necesidad de incluir sistemas que favorezcan tal disipación.

*INTERESA*  $I_{CC} \sim 0$ .

En las puertas con interruptores la resistencia de entrada es prácticamente infinita y la de salida es nula cuando conducen los interruptores y Rp cuando no conducen:

$$R_i \approx \infty ; R_o(0) \approx 0 ; R_o(1) = R_p .$$

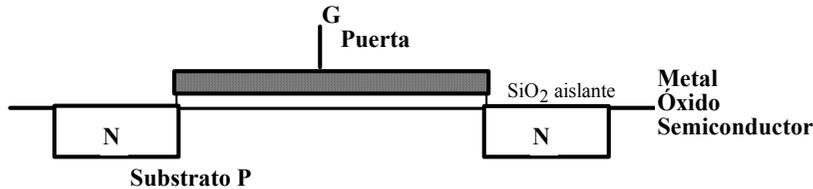
Ya de entrada existe buen acoplo en tensión y, además, en relación con la inmunidad frente al ruido y con la velocidad de trabajo (con los tiempos de propagación) interesa que la resistencia Rp sea de valores bajos. Pero el consumo cuando el plano de interruptores conduce (salida **0**) es  $V_{CC} / R_p$  y, a tal efecto, interesan valores altos de la resistencia Rp.

Por ello, la resistencia de polarización Rp ha de elegirse en un compromiso entre velocidad (+ inmunidad al ruido) y consumo. En la práctica, valores aceptables suelen estar entre los 500 Ω y los 50 KΩ, optando por valores bajos (~500 Ω) cuando predomina el interés por la velocidad o por la inmunidad frente a perturbaciones y valores altos (~50 KΩ) cuando interesa sobre todo reducir el consumo.

7.6. El transistor MOS como interruptor

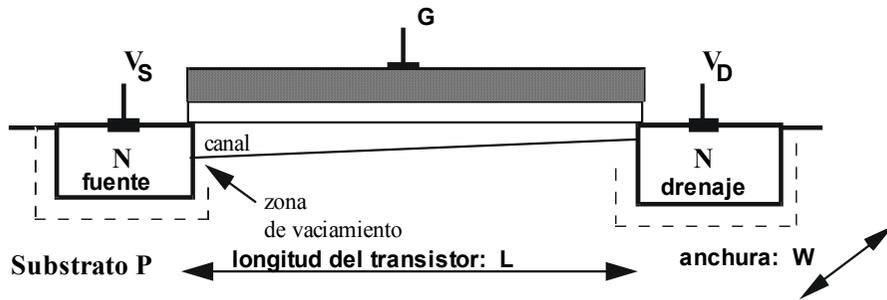
Nota: el capítulo T1 dedicado a “Semiconductores, unión PN y transistores MOS” puede resultar útil para quienes no hayan estudiado anteriormente la forma de actuar de tales transistores, así como para repasar el comportamiento razonado de semiconductores, diodos y transistores; el apartado T1.3. presenta en detalle un modelo operativo de los transistores MOS.

Un transistor NMOS está formado sobre un substrato P por sendas difusiones N (Fuente S y Drenaje D) que actúan como contactos y por un «condensador» intermedio conformado por el substrato, óxido de silicio aislante y un plano conductor que actúa como entrada de control (Puerta G).



Un transistor MOS constituye un excelente interruptor electrónico: cuando la tensión de entrada  $V_i = V_G$  es suficientemente positiva la puerta atrae a los electrones libres en el substrato (procedentes de los pares electrón-hueco propios del propio silicio como semiconductor) y forma un canal conductor entre fuente y drenaje:

$V_G > V_{TO}$  se forma canal => el transistor conduce.

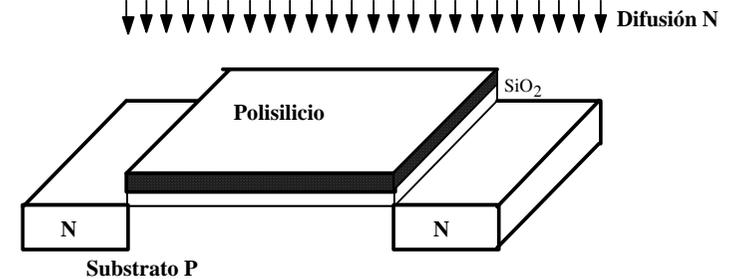


Si la tensión de puerta es claramente inferior al valor de la tensión umbral  $V_{TO}$  el canal no se forma y no hay paso de corriente entre las zonas de difusión (fuente y drenaje):

$V_G < V_{TO}$  no existe canal => el transistor no conduce.

La resistencia del canal puede hacerse adecuadamente baja (~ 10 Ω) aumentando la anchura del transistor y la resistencia de entrada es muy alta (prácticamente infinita), con lo cual queda asegurado un buen acoplo en tensión. Ahora bien, la puerta G del transistor es de tipo capacitivo: presenta una capacidad de entrada que habrá que cargar o descargar en las conmutaciones, lo cual limita su velocidad de trabajo ( $C_i = C_G \sim 10$  pF).

El proceso tecnológico de fabricación MOS es conceptualmente muy simple y consta de un número reducido de etapas básicas (ver capítulo T2):



1. Substrato de silicio cristalino tipo P
2. Capa de óxido fino aislante SiO<sub>2</sub>
3. Polisilicio N<sup>++</sup> formando la puerta
4. Difusión N<sup>++</sup> (fuente y drenaje)
5. Contactos metálicos

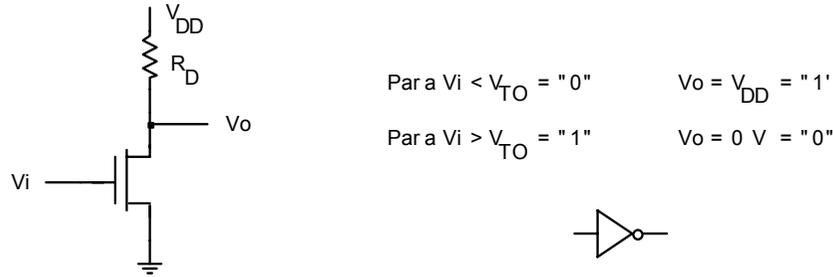
De esta forma, la puerta y las dos zonas de difusión N quedan autoalineadas: la difusión se realiza sobre todo el transistor pero no penetra debajo del polisilicio.

El substrato P debe conectarse a la tensión más negativa del circuito (a 0 V), de forma que las uniones NP de las difusiones (y del canal) con el substrato queden polarizadas en inverso, dando lugar a una «capa vacía» (sin portadores de carga) que aísla al conjunto del transistor respecto al substrato. De esta forma los transistores MOS quedan «autoaislados» (separados del substrato por una capa de vaciamiento).

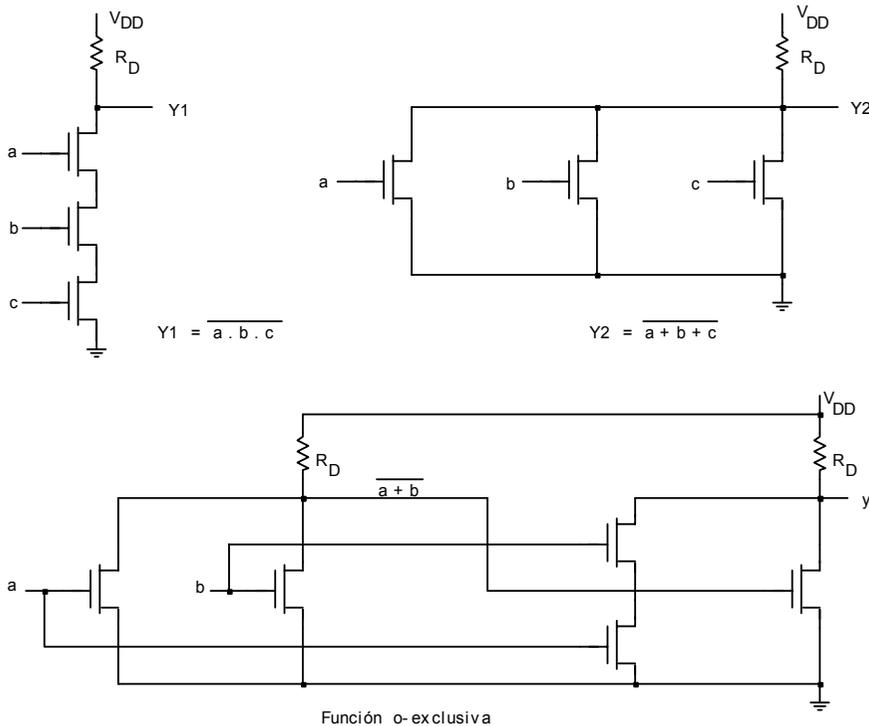
El tamaño del transistor MOS puede ser micrométrico (dimensiones del orden de una micra) y la integración de múltiples transistores en un circuito viene facilitada por las características de autoalineado y autoaislado propias del transistor MOS (ver T2.1).

Nota: el apartado T1.3. explica la formación de la capa de vaciamiento que aísla a los transistores MOS y, al final del apartado T2.1., se vuelve a insistir en dicho aislamiento y se explica el autoalineamiento que se produce entre polisilicio y difusiones del transistor MOS; por otra parte, el capítulo T2 describe en detalle los procesos de fabricación de los circuitos integrados con transistores MOS.

El esquema básico transistor NMOS - resistencia de polarización (del drenaje)  $R_D$  conforma un inversor booleano:



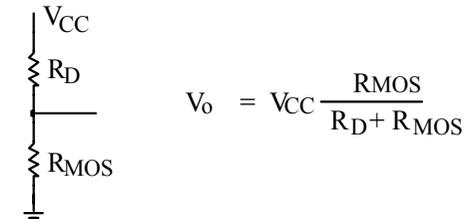
Utilizando los transistores NMOS como interruptores pueden construirse los diversos tipos de puertas inversoras; cada puerta estará conformada por tantos transistores NMOS como entradas tenga, más una resistencia de polarización  $R_D$ :



Las puertas NMOS ofrecen un buen acoplo en tensión, ya que la resistencia de entrada de estos transistores es prácticamente infinita. Las principales diferencias que presenta el transistor MOS respecto de un interruptor ideal son comentadas en la página siguiente.

a) La resistencia de paso de un transistor MOS, cuando conduce, es relativamente baja  $R_{MOS} \sim 10\Omega$ , pero no nula.

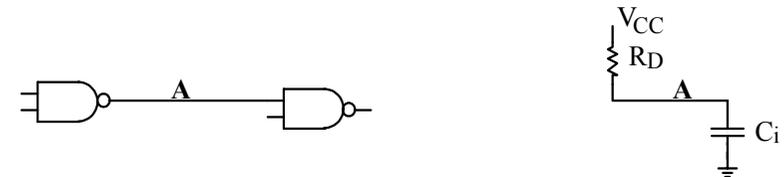
Por ello, cuando el plano de transistores conduce (salida **0**), la tensión de salida no es exactamente 0 V sino que se forma un divisor de tensión entre la resistencia de polarización  $R_D$  y la propia resistencia de los transistores en conducción  $R_{MOS}$ .



Si  $R_D \gg R_{MOS}$  la tensión de salida del divisor de tensión será  $V_o \ll V_{CC}$ , es decir,  $V_o \approx 0$  V; para asegurar una tensión de salida  $V_o(0)$  próxima a 0 V es preciso que  $R_D \gg R_{MOS}$  (o sea,  $R_D \gg 10\Omega$ ).

b) La capacidad de entrada de los transistores MOS  $C_i = C_G \sim 10pF$  limita su velocidad de trabajo.

En un «nudo booleano», es decir, en la conexión de la salida de una puerta a la entrada de otra (o de otras puertas) la capacidad de entrada de esta segunda se carga (en el paso de **0** a **1**) a través de  $R_D$  y se descarga (en la conmutación de **1** a **0**) a través de los transistores MOS  $R_{MOS}$ ; dado que  $R_D \gg R_{MOS}$ , el tiempo de carga es muy superior al de descarga y es el que limita la velocidad de trabajo.



El tiempo de propagación de la primera puerta, tiempo de paso de **0** a **1** en el nudo **A**, corresponderá al tiempo de carga del condensador  $C_i$  y será del orden de dos veces la constante de tiempo  $t_p \approx 2 \cdot \tau = 2 \cdot R_D \cdot C_i$  (en  $2\tau$  se efectúa el 86% del proceso de carga).

En consecuencia, los valores que puede adoptar la resistencia de polarización  $R_D$  se encuentran acotados en la forma siguiente:

- de un lado, para asegurar la salida **0**,  $R_D \gg R_{MOS} \sim 10\Omega$ ; además, el consumo en tal situación  $V_{CC}/R_D$  aconseja emplear valores altos de  $R_D$ ;
- en cambio, tanto el acoplo en tensión, como la inmunidad frente al ruido y la velocidad de trabajo precisan de valores bajos de  $R_D$ .

Como se indicaba anteriormente, valores de la resistencia de polarización  $R_D$  entre 0,5 K $\Omega$  y 50 K $\Omega$  suelen ser aceptables, optando por valores muy altos cuando lo prioritario es el consumo y tomando valores más bajos en el resto de los casos.