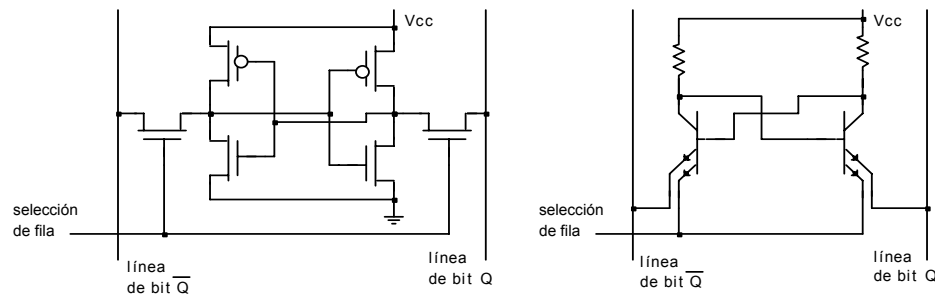


## A5 Apéndice al capítulo 19

### Memorias de acceso directo dinámicas

Una memoria de acceso directo con  $k$  líneas de direccionamiento y  $n$  líneas de datos contiene  $n \times 2^k$  biestables, número que puede ser considerablemente alto; por ello, la configuración electrónica de cada biestable ha de ser muy simple para minimizar el área de integración: basta un par de inversores en lazo cerrado (la salida de cada uno de ellos conectada a la entrada del otro).

La siguiente figura representa la configuración y conexiones de un biestable CMOS y de un biestable bipolar propios de un bloque RAM:



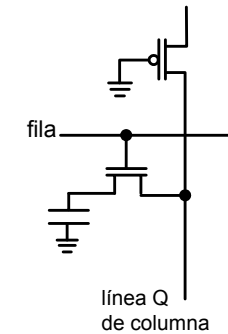
En el caso CMOS las dos salidas  $Q$  y  $\bar{Q}$  del biestable se encuentran conectadas a través de sendos transistores de paso a las líneas que enlazan la correspondiente columna; cuando se selecciona la fila en que se encuentra dicho biestable los transistores de paso conducen y comunican las dos salidas del biestable con las líneas de columna, haciendo posible una operación de lectura o de escritura sobre él.

En el caso bipolar la conexión con las líneas de columna se establece a través de los emisores de los transistores; un segundo emisor conecta los transistores con la línea de selección de fila, de forma que cuando ésta se encuentra a  $0$  (no activada) dichos emisores conducen e impiden que lo hagan los que conectan con las líneas de columna.

Este tipo de memorias de acceso directo, con biestables que conservan la información a lo largo del tiempo (con tal de que se encuentren adecuadamente alimentados,  $V_{CC}$ ), reciben el nombre de RAM estáticas: **SRAM**.

Existe una amplia oferta de circuitos integrados **SRAM** para cubrir las diferentes necesidades relativas a capacidad de memoria (número de registros) y a velocidad de trabajo (tiempos de acceso).

Para reducir el área de integración de los biestables y, consiguientemente, aumentar la capacidad de la memoria, se ha desarrollado otro tipo de memorias de acceso directo que utilizan un simple condensador, en lugar de un biestable, para almacenar y mantener el valor que deben conservar; se denominan memorias RAM «dinámicas»: **DRAM**.



Estas memorias incorporan condensadores análogos a las capacidades de puerta de los transistores MOS para retener sobre ellos la tensión correspondiente a cada bit memorizado (la capacidad de tales condensadores suele ser del orden de  $0,1 \text{ pF}$ ).

La conservación de la tensión por efecto capacitivo no es permanente pues se producirá un lento proceso de descarga. Por ello, en estas memorias la información no permanece indefinidamente, sino que es necesario «refrescar» (leer y volver a escribir) cada cierto tiempo las palabras binarias almacenadas; de ahí el calificativo de «dinámicas» **DRAM**. En cambio, al disminuir el número de componentes y, también, por el hecho de utilizar una sola línea de columna, el área necesaria para su integración es muy inferior al de las memorias estáticas **SRAM**, lo que permite aumentar en gran medida el número de registros que contienen (la capacidad de la memoria).

Una operación de lectura de uno de los «biestables» (en realidad, condensadores) de estas memorias supone una redistribución de la carga del correspondiente condensador sobre la capacidad equivalente de la línea de columna a que se encuentra conectado; es decir, supone una modificación de la tensión «memorizada» de forma que no se alcanzan los valores propios del  $0$  y del  $1$  booleanos. Ello exige mayor complejidad en las operaciones de lectura y la posterior «reescritura» del registro leído para evitar la destrucción de su información.

En una memoria **DRAM** cada línea de columna se encuentra conectada a un amplificador de lectura/escritura de forma que una operación de lectura se ejecuta sobre todos los «biestables» (condensadores) de la fila correspondiente; posteriormente la dirección de columna seleccionará los bits que han de ser comunicados a las salidas de la memoria. En cada una de las «hojas» de la memoria, un «registro de fila», cuya longitud es igual al número de «biestables» que componen una fila, almacena el resultado de la lectura de todos ellos.

La lectura se efectúa a través de un comparador, cuyas dos entradas son «precargadas» a una tensión intermedia (entre las que corresponden al **0** y al **1** booleanos); al poner en comunicación al condensador de la línea seleccionada con una de las entradas de este comparador, la tensión de dicha entrada aumentará o disminuirá según que el valor almacenado sea un **1** o un **0**, de forma que el comparador será capaz de discriminar entre dichos valores. Cada comparador comunica su salida hacia uno de los biestables del «registro de fila»; una vez finalizada una operación de lectura, el contenido de dicho registro es «reescrito» sobre los condensadores que conforman la fila, de forma que se produce un «refresco» de toda la fila sobre la que se ha efectuado la lectura.

La operación de escritura se realiza en forma análoga: refiriéndonos a una de las «hojas» de la memoria, en primer lugar se ejecuta una lectura de la correspondiente fila sobre el «registro de fila», luego se actualiza la porción de dicho registro que corresponde a la columna sobre la que se desea escribir y, por último, se «reescibe» el contenido del «registro de fila» sobre la fila seleccionada.

El refresco de toda la memoria se consigue ejecutando una operación de lectura sobre cada una de las filas que componen la memoria. Generalmente las memorias **DRAM** se organizan en «hojas» con matrices de 256 x 256 «biestables» (64K) o de 512 x 512 «biestables» (256K = 1/4 Mega); por lo cual el «refresco» supone, respectivamente, 256 ó 512 operaciones de lectura sobre la memoria.

Por lo general las memorias **DRAM** disponibles actualmente conservan la información por períodos superiores a 8 ms, que son el intervalo típico de «refresco». Supuesto que cada operación de lectura precise 1  $\mu$ s, para «refrescar» toda la memoria se necesitarán 256  $\mu$ s ó 512  $\mu$ s según el número de sus filas; lo cual supone, en relación con el intervalo de 8 ms, un 3 % y un 6 % del tiempo total, respectivamente.

El manejo de las memorias **DRAM** integradas se complica aún más por cuanto que, para reducir el número de sus terminales (*pines*), suelen recibir la dirección de fila y la dirección de columna por los mismos terminales; una línea de validación de la dirección de fila  $\overline{RAS}$  y otra de validación de la dirección de columna  $\overline{CAS}$  gestionan el almacenamiento de dichas direcciones en sendos registros en el inicio de cada operación de lectura o escritura.

De forma que una operación de lectura desarrolla la siguiente secuencia:

- 0) situación al inicio del ciclo  $\overline{RAS} = 1$  y  $\overline{CAS} = 1$
- 1)  $\overline{RAS} = 1$  : precarga de los comparadores
- 2)  $\overline{RAS} = \downarrow$  : almacenamiento de la **dirección de fila**
- 3)  $\overline{RAS} = 0$  : lectura de toda la fila de «biestables»  
sobre el «registro de fila»
- 4)  $\overline{CAS} = \downarrow$  : almacenamiento de la **dirección de columna**
- 5)  $\overline{CAS} = 0$  : salida del correspondiente dato (**lectura**)

- 6)  $\overline{RAS} = \uparrow$  : escritura del «registro de fila»  
sobre la fila de «biestables» (**refresco**)
- 7)  $\overline{RAS} = 1$  : fin del ciclo de operación (nueva precarga).

Como puede apreciarse la línea  $\overline{RAS}$  es la que controla realmente las «filas de condensadores», determinando su lectura  $\overline{RAS} = 0$  y su escritura  $\overline{RAS} = 1$ ; asimismo con su flanco negativo dicha línea memoriza la dirección de la fila sobre la que se actúa. La línea  $\overline{CAS}$  actúa como habilitación de salidas, determinando la presentación de un dato  $\overline{CAS} = 0$  o, alternativamente, el estado de alta impedancia  $\overline{CAS} = 1$ ; con su flanco negativo memoriza la dirección de la columna.

Una operación de escritura coincide con la secuencia anterior salvo en:

- 4)  $\overline{CAS} = \downarrow$  con  $\overline{WE} = 0$  : almacenamiento de la dirección de columna  
y recepción del dato desde las líneas de entrada
- 5)  $\overline{CAS} = 0$  con  $\overline{WE} = 0$  : almacenamiento del dato en el «registro de fila»

en esta quinta etapa el dato que había sido recibido por las líneas de entrada en la etapa anterior es almacenado en el «registro de fila», en la posición que corresponda a la columna seleccionada y en la etapa siguiente el «registro de fila» es escrito en la fila seleccionada.

Cada operación de lectura o de escritura produce el «refresco» de la correspondiente fila de la memoria. Cuando lo único que se pretende es refrescar la memoria no es necesario referirse a las columnas ni utilizar la correspondiente línea de validación  $\overline{CAS}$ ; basta conmutar la línea de validación de la dirección de fila  $\overline{RAS}$ , presentando en cada uno de sus flancos negativos la dirección de una de las filas de la memoria.

Los cronogramas correspondientes a los ciclos de lectura y de escritura de las memorias **DRAM** incluyen medio centenar de tiempos diferenciados (acceso, anticipación, mantenimiento,...). La complejidad de tales operaciones y la necesidad de producir cíclicamente un «refresco» global de la memoria han motivado la aparición de **controladores de DRAM** integrados que logran que, desde el lado del procesador, las operaciones de lectura y escritura se ejecuten como si fueran memorias **SRAM** y, a la vez, aseguran que se realice el «refresco» de la memoria con adecuada periodicidad.

En muchas memorias dinámicas, se incluye en el propio bloque integrado el circuito de refresco de la memoria (un simple contador que controla la lectura de sus filas, operando internamente cuando la memoria no se encuentra habilitada); de esta forma, vistas desde fuera, se comportan como si fueran estáticas: **pseudo static RAM**.

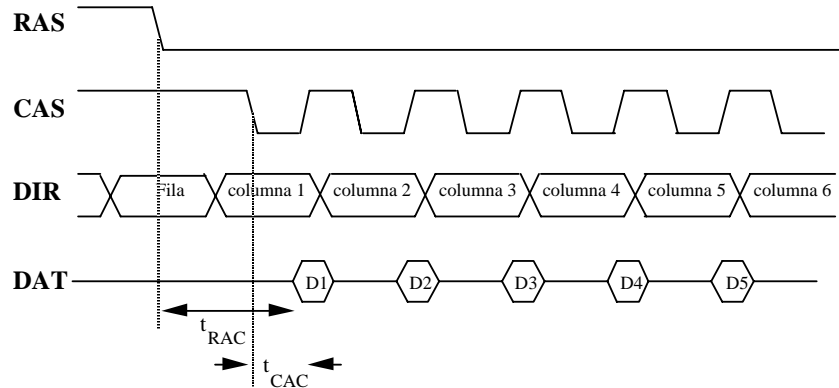
La velocidad de acceso a una memoria **DRAM** aumenta cuando se realizan operaciones en una misma fila, es decir, cuando no se modifica la dirección de fila sino solamente la de columna; en tal sentido se considera que los «registros» situados en una misma fila se encuentran en una página única: operación en modo de página.

Cuando se producen varias operaciones seguidas sobre la misma página, solamente es necesario que la primera de ellas ejecute un ciclo normal de lectura o escritura; para los siguientes accesos basta modificar la dirección de columna y conmutar la correspondiente línea de validación **CAS**, sin necesidad de gastar tiempo en las etapas relativas a la línea **RAS**.

Este tipo de bloques **DRAM** se denomina **FPM** (*fast page mode*), ya que accesos sucesivos a una misma página requieren tiempos de ciclo inferiores al primero de ellos: una vez determinada la página, basta enviar las sucesivas direcciones de las columnas sobre las que se ha de efectuar la operación.

Los bloques **DRAM FPM** de alta velocidad (y alta capacidad de memoria) suelen tener tiempos de acceso de 70 ns que se reducen a 40 ns cuando las siguientes operaciones se realizan sobre la misma página. [Como memorias RAM de los computadores se utilizan en placas con relojes de hasta 66 MHz, pero, en tal caso, requieren 5 ciclos de reloj para el primer acceso a página y 3 ciclos para los accesos siguientes.]

La lectura limita la velocidad de trabajo en mayor medida que la escritura, ya que en esta segunda el procesador mantiene el dato a escribir en el bus durante todo el ciclo de escritura; por ello, las siguientes figuras se refieren a operaciones de lectura sobre los bloques **DRAM**.

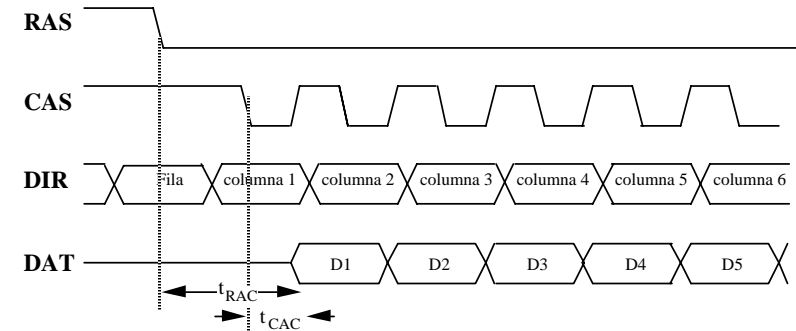


Operaciones sucesivas de lectura sobre una página DRAM FPM

Las operaciones de lectura sobre estas memorias presentan el inconveniente de que la salida de dato es habilitada por la línea **CAS**, de manera que se interrumpe después de que dicha línea pasa a valor 1 (y, en lecturas sucesivas, hay intervalos de tiempo muerto en los cuales no hay salida de ningún dato correcto).

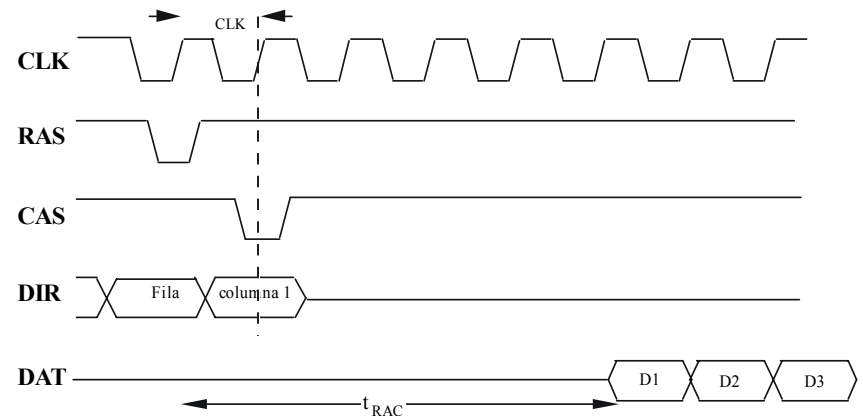
Para aumentar la velocidad de trabajo (en relación con la lectura de registros en la misma página) se ha desarrollado un tipo de memorias en que el dato se mantiene en las salidas hasta que, como resultado de una nueva operación de lectura, se presenta el dato siguiente (es decir, el dato de salida se mantiene durante el intervalo en que  $CAS = 1$ ); este tipo de **DRAM** se denomina **EDO** (*extended data output*).

De esta forma, los tiempos de acceso para lecturas sucesivas en una misma página se reducen: de 60 ns en el primer acceso se pasa a 25 ns en los siguientes. [Se utilizan en placas de computadores con relojes de hasta 75 MHz, reservando 5 ciclos de reloj para el primer acceso a página y 2 ciclos para los accesos siguientes.]



Operaciones sucesivas de lectura sobre una página DRAM EDO

Aún se consiguen velocidades mayores cuando se trata de operar sobre registros sucesivos de una misma página; para ello el registro de dirección de columna se configura en forma de contador con una entrada de reloj que permite incrementar sucesiva y rápidamente la columna: memorias dinámicas síncronas **SDRAM** (*synchronous DRAM*). Los tiempos de accesos sucesivos en una misma página son aún menores: de 40 ns en primer acceso se baja a 8 ns en los siguientes. [Se utilizan relojes de hasta 133 MHz, 5 ciclos para el primer acceso y 1 ciclo para los siguientes.]



Operaciones sucesivas de lectura sobre una página SDRAM