

T8 PUERTAS SEUDO-NMOS Y PUERTAS DE TRANSMISIÓN

T8.1. Puertas pseudoNMOS

T8.2. Transistor de paso y puerta de transmisión

T8.3. Lógica dinámica

La tecnología CMOS, además de las puertas inversoras configuradas con dos planos de transistores complementarios (puertas «complementarias»), ofrece otras dos tipos de puertas que son muy útiles en determinados casos.

Las puertas NOR pseudoNMOS, en las cuales el plano P queda reducido a un único transistor PMOS que actúa como resistencia de polarización, permiten un alto número de entradas, sin que ello repercuta en alto número de transistores en serie (lo cual limitaría gravemente la respuesta de la puerta en cuanto a intensidad, velocidad y ruido). Estas puertas pseudoNMOS son muy apropiadas para configurar las estructuras reticulares: decodificadores, multiplexores y demultiplexores, y matriciales: ROM, PAL y PLA; también lo son para los dispositivos programables derivados de tales estructuras, con la importante ventaja de que solamente es preciso programar el plano N.

Por contra, las puertas pseudoNMOS pierden la característica de consumo estático nulo y requieren un dimensionamiento adecuado de sus transistores para asegurar la tensión de salida correspondiente al 0: $V(0) \approx 0V$.

Los transistores MOS individuales, utilizados como conmutadores (transistores de paso), presentan limitaciones a la hora de transmitir uno de los valores booleanos (el NMOS transmite mal el 1 y el PMOS el 0). Pero el conjunto NMOS - PMOS en paralelo resuelve esa limitación y conforma una «puerta de transmisión» que es útil para configurar multiplexores y biestables; tales bloques, contruidos con puertas de transmisión, requieren muchos menos transistores que si se configuran con puertas inversoras, ocupan menor área de integración y ofrecen menores tiempos de propagación. Asimismo, la puerta de transmisión es un adaptador tri-estado, pues, cuando no conduce, su salida se encuentra en situación de desconexión (alta impedancia).

Además, este capítulo introduce la «lógica dinámica» que, utilizando como «elementos de memoria» las capacidades de entrada de las propias puertas lógicas, permite reducir aún más el área de integración de los «biestables» y, con ello, aumentar la densidad de integración de los circuitos secuenciales. Este almacenamiento de tensiones booleanas sobre pequeños condensadores tiene el inconveniente de la descarga de los mismos a lo largo del tiempo pero resulta útil si dichos valores se actualizan o se refrescan con una frecuencia adecuada (superior a un cierto valor mínimo, $\sim 1\text{ KHz}$).

Por otra parte, la «lógica dinámica» aplicada a las puertas pseudoNMOS, permite su funcionamiento con consumo estático nulo.

T8.1. Puertas pseudoNMOS

Cuando se necesitan puertas con un amplio número de entradas (en particular en las estructuras matriciales en que tal número suele ser muy alto) se utiliza la configuración «pseudoNMOS» y se emplean únicamente puertas "o-negada" (Nor):

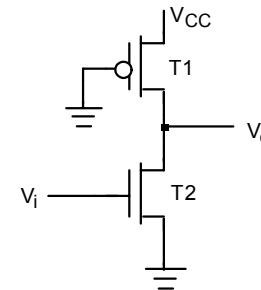
- la lógica «pseudoNMOS» conforma solamente el plano N y utiliza un solo transistor PMOS permanentemente habilitado (conectado a 0 V), que se comportará como una simple carga resistiva;
- las puertas "o-negada" (Nor) presentan sus transistores en paralelo en el plano N; no existe problema de incluir en dicho plano muchos transistores.

El calificativo «pseudoNMOS» proviene de que este tipo de puertas, con un transistor superior (que conduce siempre) como resistencia de polarización, es propio de las tecnologías NMOS: la lógica pseudoNMOS copia directamente el diseño NMOS utilizando un transistor de polarización de canal P.

La configuración "o-negada" (Nor) pseudoNMOS proporciona una alternativa eficaz para puertas de alto número de entradas y, además, reduce considerablemente el número de transistores, el área de integración y la complejidad del diseño físico; pero, en cambio presenta dos serios inconvenientes:

- los niveles de tensión de salida no quedan garantizados por la tensión umbral de los transistores
- y su consumo no es nulo, ya que para $V_0 = 0$ conducen el plano N y el transistor P.

Diseño de un inversor pseudoNMOS:



Sea $V_{CC} = 5\text{ V}$ y $V_{T0} = 1\text{ V}$,

$V_i < 1\text{ V}$ T2 no conduce y T1 sí
 $\Rightarrow V_0 = V_{CC} = 5\text{ V}$

$V_i \gg 1\text{ V}$ T2 conduce y T1 también
 $V_0 = V_{CC} \cdot R_2 / (R_1 + R_2)$

siendo $R_1 =$ resistencia PMOS

y $R_2 =$ resistencia NMOS:

Interesa V_0 pequeño; para ello, $R_2 \ll R_1$.

En un inversor pseudoNMOS la salida 1 se produce de igual forma que en un inversor CMOS: conduce el transistor PMOS y no lo hace el NMOS; pero para salida 0 conducen ambos transistores y para asegurar una tensión de salida próxima a 0 V se requiere una «relación de geometrías» entre ambos transistores adecuada.

En el inversor CMOS cada valor booleano está garantizado por la tensión umbral del transistor que transmite dicho valor; en el pseudoNMOS hay un solo transistor activo, el NMOS, que garantiza solamente su situación de corte, salida **1**, mientras que para salida **0** aparece un divisor de tensión entre las resistencias que presentan ambos transistores y es preciso conseguir, por diseño geométrico, que la resistencia que presenta el transistor N sea muy inferior a la presentada por el P: $R_{NMOS} \ll R_{PMOS}$.

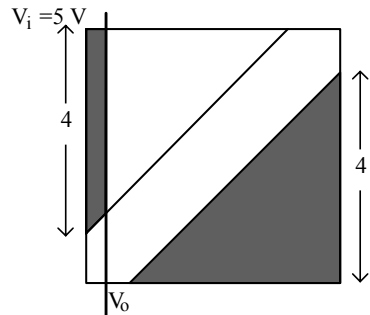
Habida cuenta de que la resistencia de paso de un transistor MOS es inversamente proporcional a su factor de forma $ff = W/L$, se requiere una relación adecuada entre los tamaños de los dos transistores que configuran el inversor, de manera que sus factores de forma verifiquen la desigualdad: $W_N/L_N \gg W_P/L_P$.

El diagrama de Memelink permite un análisis cuantitativo:

Sea $V_{CC} = 5\text{ V}$, $V_{TO} = 1\text{ V}$ y β la relación entre factores de forma: $\beta = W_P/L_P / W_N/L_N$

En situación estática por ambos transistores circula la misma intensidad:

$$\frac{A_N}{A_P} = \frac{\alpha_P}{\alpha_N} = \frac{\mu_{huecos}}{\mu_{electrones}} \frac{W_P/L_P}{W_N/L_N}, \quad \frac{\mu_{huecos}}{\mu_{electrones}} \approx \frac{1}{3}, \quad \frac{A_2}{A_1} \approx \frac{1}{3} \frac{ff_P}{ff_N} = \frac{1}{3} \beta$$



$$A_N = (\beta/3) \cdot A_P$$

$$4 V_o = (\beta/3) 4^2/2$$

$$V_{oL} = (2/3)\beta = 0,66 \beta$$

Para lo cual, interesa β pequeño: $\beta \ll 1$

$$\beta = \frac{ff_P}{ff_N} = \frac{W_P/L_P}{W_N/L_N} \ll 1$$

La tensión de salida para el **0** no será exactamente 0 V sino algo inferior a $\beta : 0,66 \beta$

$$\beta = 1/4 = 0,25$$

$$V_o = 0,17\text{ V}$$

$$\beta = 1/5 = 0,2$$

$$V_o = 0,13\text{ V}$$

$$\beta = 1/7 = 0,15$$

$$V_o = 0,1\text{ V}$$

Interesan valores de β bajos; además, la función de transferencia del inversor pseudoNMOS presenta mejores características de conmutación (se hace más abrupta), cuanto menor es β .

Para conseguir $\beta \ll 1$, con la menor ocupación posible de área de integración, se aumenta adecuadamente la longitud del transistor PMOS de polarización (habida cuenta de que en una puerta hay un solo transistor PMOS y muchos NMOS): para $\beta = 1/4$, $L_{PMOS} = 4 L_{mín}$.

Al utilizar lógica pseudoNMOS se pierde la característica de consumo nulo propia de la tecnología CMOS; cuando la salida es **0** conducen ambos transistores y, por tanto, circula una intensidad no nula:

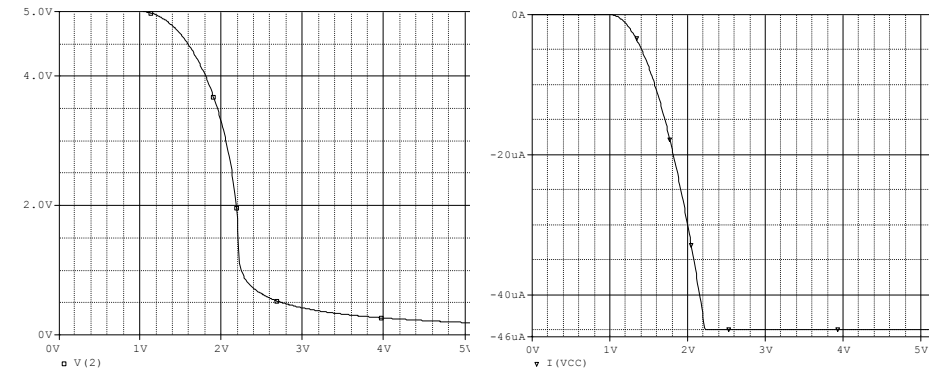
$$I = K_p \cdot \frac{W}{L} \cdot A_N = K_p \cdot 1,5 \cdot (V_i - 1) \cdot V_o = K_p \cdot 1,5 \cdot 4 \cdot 0,66 \cdot \beta = 4 \cdot K_p \cdot \beta$$

Para la tecnología Ψ :

$$K_p \text{ (NMOS)} \sim 40 \mu\text{A/V}^2; \quad I = 160 \beta \mu\text{A}$$

$$\text{para } \beta = 1/4 = 0,25 \quad I = 160 \beta = 40 \mu\text{A}$$

Las gráficas siguientes presentan la función de transferencia $V_o - V_i$ y el consumo de intensidad de un inversor pseudoNMOS de la tecnología Ψ , obtenidas mediante simulación SPICE; el transistor NMOS es de tamaño mínimo y la relación de geometrías es $\beta = 1/4$ $L_{NMOS} = 1 \mu\text{m}$, $W_{NMOS} = 1,5 \mu\text{m}$, $V_{TO,NMOS} = 1\text{ V}$, $K_{p,NMOS} = 40 \mu\text{A/V}^2$ $L_{PMOS} = 4 \mu\text{m}$, $W_{PMOS} = 1,5 \mu\text{m}$, $V_{TO,PMOS} = -1\text{ V}$, $K_{p,PMOS} = 15 \mu\text{A/V}^2$.



Función de transferencia $V_o - V_i$ pseudoNMOS Consumo de intensidad I_{CC} del inversor

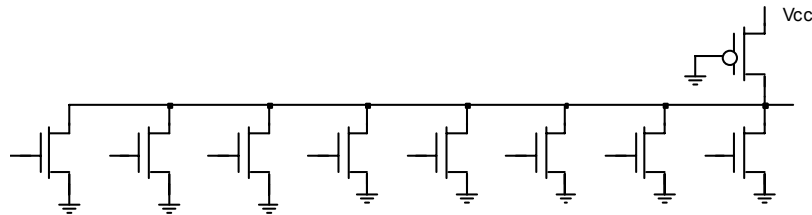
La lógica pseudoNMOS evita la necesidad de duplicar el Plano N en una combinación dual de transistores PMOS y la necesidad de conectar entre sí cada pareja de transistores; con ello se reduce considerablemente el área de integración y la complejidad del diseño geométrico. Pero, en cambio, presenta dos inconvenientes relativos, ambos, a la salida **0**:

1. en su diseño ha de tenerse en cuenta la relación de geometrías de los transistores: el cociente entre factores de forma $\beta = W_P/L_P / W_N/L_N$ para asegurar que $V_o(\mathbf{0}) \approx 0\text{ V}$;
2. el consumo no es nulo: $I_{CC}(\mathbf{0}) \neq 0$, pues conducen a la vez el plano N y el transistor P.

El primero de los inconvenientes repercute sólo en consideraciones geométricas en la etapa de diseño y la correspondiente ocupación de área.

El segundo, el consumo no nulo, no es grave si el número de estas puertas en un circuito integrado es reducido y su efecto puede disminuirse conectando la puerta del transistor PMOS a una señal de habilitación \bar{E} , normalmente a **1** y que pase a **0** solamente cuando interese la actuación de la correspondiente puerta lógica (caso de que el cálculo booleano que realiza dicha puerta no se requiera constantemente).

La configuración pseudoNMOS utiliza solamente puertas "o-negada" (*Nor*), ya que en ellas los transistores se encuentran en paralelo:



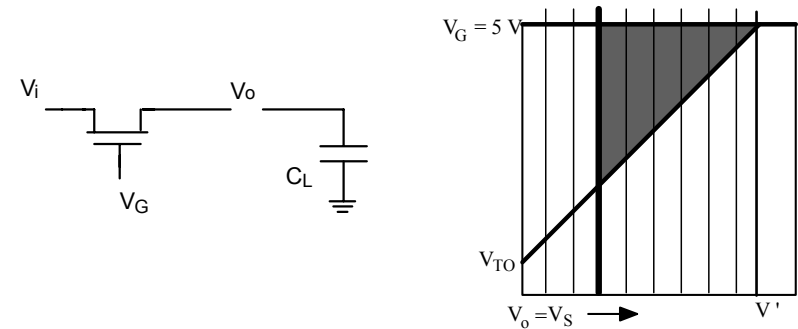
Estas puertas "o-negada" (*Nor*) pseudoNMOS resultan muy útiles para construir las estructuras reticulares de muchas entradas (decodificadores, multiplexores, demux., ROM, PLA, PAL,...); también son muy apropiadas para dispositivos programables, tipo PROM, PLA, PAL, PLS o CPLDs. Ello es debido a que:

- permiten configurar términos producto de un alto número de entradas, gracias a la conexión en paralelo de sus transistores
- y presentan un solo plano activo de forma que, en cuanto a dispositivos programables, solamente será necesario efectuar la programación sobre el plano NMOS y tal programación consistirá en «desconectar» transistores que se encuentran en paralelo.

Si se utilizan puertas CMOS, con los dos planos de transistores completos, además del problema de tener un alto número de transistores en serie, la programación de ambos planos sería sumamente compleja, pues, en aquel en que los transistores se encuentren en serie, su programación consistirá en «puentearlos» (lo cual es mucho más difícil que «desconectarlos»).

T8.2. Transistor de paso y puerta de transmisión

Otro importante complemento de las puertas booleanas CMOS, conformadas por sendos planos de transistores P y N, lo constituye el transistor de paso, equivalente a un simple interruptor:



El transistor conduce cuando $V_G = V_{CC} = \mathbf{1}$ y no lo hace para $V_G = 0 \text{ V} = \mathbf{0}$.

A) Supongamos $V_G = \mathbf{1} = 5 \text{ V}$, para $V_i = 5 \text{ V}$ el transistor conduce y configura un camino de carga hacia la capacidad de entrada de la puerta o puertas a las que está conectado (C_L).

En este proceso de carga el terminal de entrada V_i actúa como drenaje y el terminal de salida V_o como fuente; al ir aumentando $V_o = V_S$ la intensidad se hace más pequeña, finalizando el proceso de carga cuando $V_o = V_S = V'$ (es decir, cuando $V_{TO} + V'$ alcanza el valor V_G), en cuyo caso ya no existe canal y el transistor no conduce.

La tensión de salida máxima sobre C_L es V' :

$$V_{TO} + V' = V_G ; \quad V' = V_G - V_{TO} \quad (4 \text{ V para } V_G = 5 \text{ V y } V_{TO} = 1 \text{ V})$$

Este desplazamiento a la baja de la tensión de salida **1** es aún mayor debido al «efecto sustrato» [ver apartado T6.3.6]:

$$V_G = V_{TO} + K V_D \quad V_D = (V_G - V_{TO}) / K \quad (\sim 3,5 \text{ V para } K = 1,15).$$

La salida no llega a alcanzar la tensión correspondiente al **1** booleano $V(\mathbf{1})$ sino que se queda por debajo. Con ello la puerta siguiente a un transistor de paso no tiene asegurado el corte del transistor PMOS; se pierde entonces la condición de consumo nulo y disminuye en gran medida el margen de ruido de dicha puerta.

Ahora bien, puede evitarse dicha situación (consumo no nulo de la puerta que sigue a un transistor de paso) si se integran transistores PMOS cuya tensión umbral V_{TO} sea mayor que la tensión umbral del transistor NMOS de paso; para $V_{TO,PMOS} = -1,8 \text{ V}$, la tensión de salida **1** del transistor de paso ($\sim 3,5 \text{ V}$) es suficiente para mantener en corte los transistores PMOS.

El desplazamiento de $V(1)$ no es acumulativo (no es un efecto resistivo sino de cierre de canal), de forma que si se conectan varios transistores de paso seguidos (en serie), la tensión de salida **1** del conjunto seguirá siendo $V_D = (V_G - V_{T0})/K$.

B) Para $V_i = 0$ V, si la capacidad C_L se encontraba previamente cargada (tensión de salida $V(1)$), se produce su descarga hasta alcanzar 0 V: el paso del **0** booleano se efectúa sin desplazamiento de tensión.

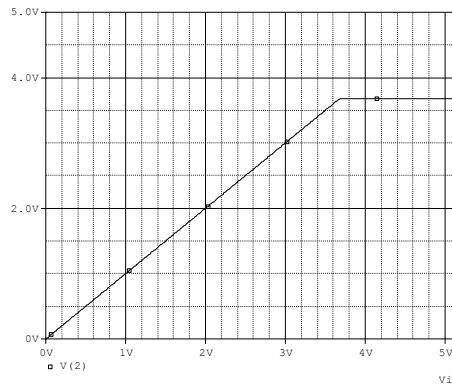
Téngase en cuenta que el transistor MOS es simétrico:

- cuando $V_i = 5$ V dicho terminal actúa como drenaje y V_o como fuente,
- pero para $V_i = 0$ V los papeles de drenaje y fuente se intercambian ya que la intensidad en el transistor circula en sentido contrario.

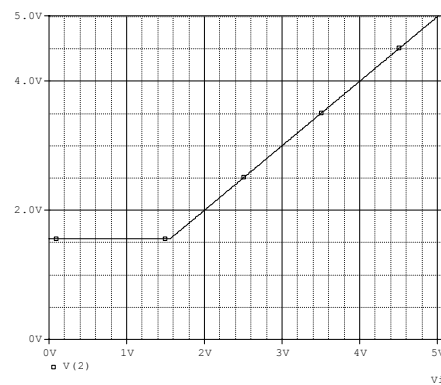
En conclusión, como transistor de paso el NMOS transmite bien el valor booleano **0** pero no el valor **1** (cuya tensión queda reducida al pasar a través del transistor); por ello, en las puertas CMOS los transistores NMOS forman el plano inferior que transmite el valor **0**. Por simetría, el transistor PMOS transmite bien el valor **1** pero no el **0** (que se desplaza hacia tensiones positivas al pasar a través del transistor); en las puertas CMOS los PMOS forman el plano superior que transmite el valor **1**.

Funciones de transferencia de transistores de paso NMOS y PMOS:

Tecnología: $V_{T0,NMOS} = 1$ V, $V_{T0,PMOS} = -1$ V, $GAMMA = 0,25$, $NSUB = 10^{15}$.

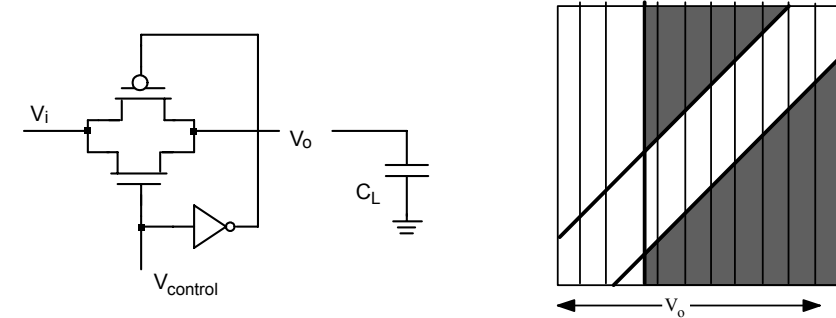


Transistor de paso NMOS



Transistor de paso PMOS

Añadiendo al transistor de paso canal N un transistor complementario canal P, en paralelo (y con las puertas de ambos conectadas a través de un inversor para que se encuentren en conducción y en corte a la vez) se obtiene una puerta de transmisión que evita el desplazamiento en tensión del **1** booleano.

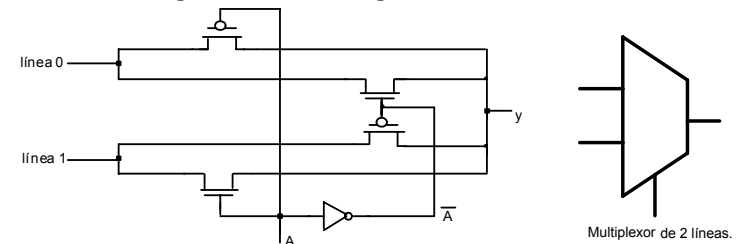


En una puerta de transmisión la salida (sobre C_L) llega a alcanzar $V(1)$ (caso de $V_i = V(1)$) pues el transistor PMOS conduce hasta ese valor y la descarga llega igualmente a 0 V (cuando $V_i = 0$) a través del transistor NMOS. El transistor PMOS asegura la salida **1** sin desplazamiento de tensión y el transistor NMOS hace lo propio para la salida **0**; por contra, son precisos 4 transistores (dos en la puerta de transmisión y otros dos del inversor).

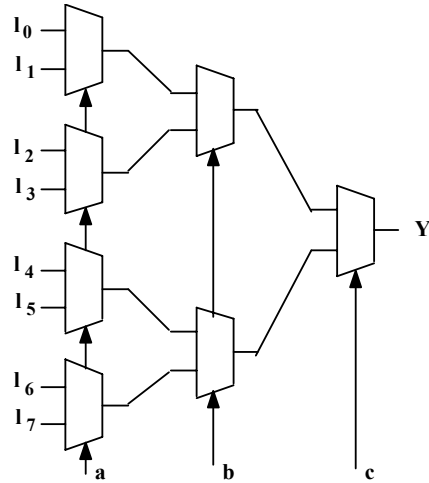
El cálculo de los tiempos de conmutación de una puerta de transmisión es análogo al desarrollado en el capítulo T7 para un inversor, de forma que los tiempos resultantes son del mismo orden e incluso inferiores a los allí obtenidos: la carga se realiza básicamente por un transistor PMOS ayudado parcialmente por el NMOS que conlleva en paralelo y viceversa (y tal colaboración parcial de ambos transistores reduce los tiempos).

Multiplexores

La puerta de transmisión tiene el inconveniente de que la variable de control ha de actuar a través de dos entradas en forma invertida (con un inversor intermedio), de manera que a los dos transistores que configuran la puerta han de agregarse otros dos para el correspondiente inversor. Pero este inconveniente no es tal en aquellas estructuras que siempre utilizan las entradas en forma afirmada y negada; en tal sentido las puertas de transmisión resulta útiles para construir multiplexores:



Un multiplexor de 2 entradas es directamente ampliable conectando módulos iguales en cascada (para n líneas serán necesarios $n-1$ módulos conectados en cascada):



El esquema anterior contiene 14 puertas de transmisión y 3 inversores, en total 34 transistores, mientras que un multiplexor análogo realizado con puertas "y-negada" (*Nand*) necesita 8 puertas de 4 entradas, una de 8 y 3 inversores, es decir, 86 transistores.

De esta forma, la conexión en cascada de puertas de transmisión proporciona una configuración muy simple y modular para los multiplexores, el número de transistores necesarios es claramente inferior a los que se requieren en una configuración típica CMOS (con puertas *Nand* o *Nor*) y el tiempo de propagación es algo menor.

La reducción en el número de transistores se refleja sobre el área de integración necesaria y, también, sobre los tiempos de propagación: habrá menor número de transistores en serie, con lo cual las constantes de tiempo que limitan la velocidad del circuito serán menores. Por ejemplo, en el multiplexor anterior, la transmisión de un 0 implica a 3 transistores NMOS en serie, mientras que con puertas "y-negada" (*Nand*) habría 8 transistores NMOS en serie en la puerta de salida.

Habida cuenta de que las puertas de transmisión son simétricas, un multiplexor construido con ellas también lo es y puede ser utilizado como demultiplexor; en tal caso, presenta el problema de que las líneas de salida no seleccionadas quedan en alta impedancia (no en salida 0, como correspondería a un demultiplexor digital), lo cual puede solventarse añadiendo resistencias que referencien a 0 V dichas líneas.

Incluso, en muchas ocasiones, es útil el estado de alta impedancia de las salidas del demultiplexor pues permite conservar sobre cada línea el último de los valores transmitidos a la misma (para lo cual será necesario que exista una capacidad adecuada conectada en cada línea de salida).

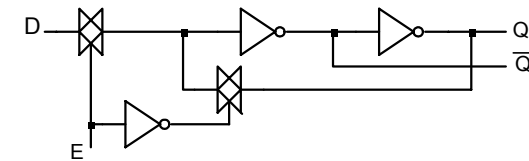
Las puertas de transmisión son, también, buenos interruptores analógicos (*analog switches*) que controlan el paso de señales en el intervalo $[0, V_{CC}]$ determinado por las tensiones de control (de puerta) de sus transistores; caso de que la señal de control utilice como niveles $-V_1$ y $+V_2$, la puerta de transmisión admitirá señales analógicas entre tales valores $[-V_1 ; +V_2]$.

De esta forma, las puertas de transmisión sirven para muestrear señales analógicas y para realizar su multiplexado o demultiplexado: un multiplexor construido con puertas de transmisión puede transmitir cualquier tensión dentro de los límites fijados por sus tensiones de control $[-V_1 ; +V_2]$; de esta forma se dispone de multiplexores analógicos que permite seleccionar por su número una de entre n tensiones de entrada (por ejemplo, para medir diversas tensiones con un mismo convertor analógico-digital).

El mismo multiplexor, utilizado en sentido inverso (una entrada, n salidas) es un demultiplexor analógico, cuyas líneas de salida adoptan el estado de alta impedancia cuando no son seleccionadas (y pueden conservar, sobre capacidades, el último valor de tensión transmitido a cada línea).

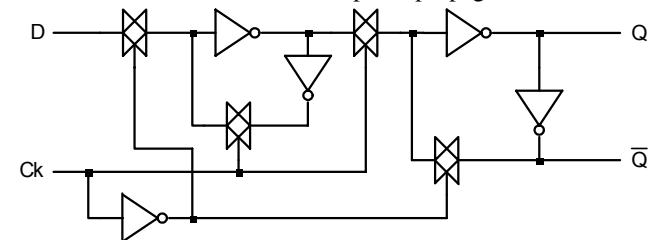
Biestables

Los biestables en tecnologías CMOS suelen construirse con puertas de transmisión:



Biestable D habilitado por niveles

Esta configuración requiere 10 transistores, mientras que la configuración típica con puertas "y-negada" (*Nand*) necesita 18; la reducción del número de transistores implica, también en este caso, una disminución del tiempo de propagación del biestable.



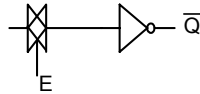
Biestable D síncrono: habilitado por flancos

Para construir un biestable D síncrono con puertas de transmisión se utilizan 18 transistores, frente a los 36 necesarios con puertas "y-negada" (*Nand*). Además de la reducción del número de transistores y del área de integración, también se reducen en forma importante los tiempos funcionales y, en particular, el tiempo de propagación.

T8.3. Lógica dinámica

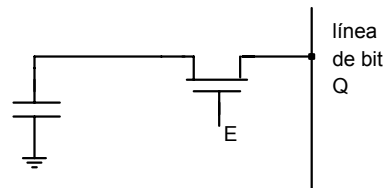
Biestables dinámicos

Los registros dinámicos utilizan biestables aún más simples que los representados en la página anterior:



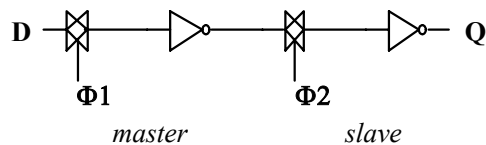
En este «biestable» la información se almacena sobre la capacidad de entrada del inversor (la cual sufre, cuando queda aislada, un proceso de descarga que limita el tiempo de almacenamiento a unos pocos milisegundos).

En muchas ocasiones, por ejemplo en las memorias dinámicas DRAM, el biestable se reduce solamente a un transistor y un condensador:

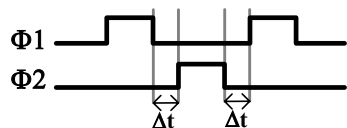


El ahorro en número de transistores (y por tanto, en área de integración) es superior a 2/3 respecto a los biestables estáticos; tal reducción de tamaño resulta muy atractiva y por ello, cuando el tiempo de permanencia de la información es reducido (inferior a 10 milisegundos) o cuando resulta fácil «refrescar» la información, se utilizan «registros dinámicos» configurados con estos biestables.

Particularmente interesante (por la reducción de tamaño) es la utilización de «biestables dinámicos» en el diseño síncrono (con reloj):



Este biestable síncrono dinámico requiere solamente 8 transistores mientras que su configuración estática (con puertas de transmisión) necesita 18 (y 36 si se configura con puertas Nand); los «biestables dinámicos síncronos» necesitan dos fases de reloj no solapadas:



Cuando $\Phi 1 = 1$ el *master* recoge la información de su entrada: «fase de captura» y en $\Phi 2 = 1$ el *slave* la presenta en su salida: «fase de salida».

La separación entre ambas fases (entre la «captura» y la «salida» de la información) viene exigida porque el más mínimo solapamiento entre ellas lleva directamente a la salida **Q** el valor de la entrada **D**. Es un requisito de seguridad de funcionamiento (véase el apartado 15.4, segundo volumen) que evita las restricciones relativas al tiempo de mantenimiento y a la verticalidad y simultaneidad en la señal de reloj; estas restricciones son particularmente fuertes en este caso, debido al reducido tiempo de propagación que presentan estos biestables tan simples.

La conexión en serie de «biestables dinámicos síncronos» da lugar a registros de desplazamiento dinámicos, con una ocupación de superficie muy reducida, y muy útiles cuando el desplazamiento se ha de producir con frecuencias de reloj superiores a 1 KHz (por debajo de esa frecuencia el tiempo de permanencia del dato en las capacidades que actúan como elementos de memoria, ~1 ms, no es suficiente).

En forma análoga es posible construir contadores dinámicos (para frecuencias de reloj superiores al KHz) sin más que añadir a las entradas D_i la lógica correspondiente al contaje. Por ejemplo, para un contador década con entrada de habilitación **E**:

$$D_0 = q_0 \cdot E + q_0 \cdot \bar{E} = q_0 \oplus E$$

$$D_1 = \bar{q}_1 \cdot q_0 \cdot \bar{q}_3 \cdot E + q_1 \cdot (\bar{q}_0 + \bar{E})$$

$$D_2 = \bar{q}_2 \cdot q_1 \cdot q_0 \cdot E + q_2 \cdot (\bar{q}_1 + \bar{q}_0 + \bar{E})$$

$$D_3 = \bar{q}_3 \cdot q_2 \cdot q_1 \cdot q_0 \cdot E + q_3 \cdot (\bar{q}_0 + \bar{E})$$

De igual forma, cualquier sistema secuencial síncrono puede diseñarse con biestables dinámicos; en general, tales biestables permiten una fuerte reducción en el área de integración, siempre que el reloj del sistema síncrono actúe a frecuencias no bajas.

Tiempo de permanencia de un dato en un registro dinámico

En los registros dinámicos (conformados por una puerta de transmisión y un inversor) el dato es almacenado en la capacidad de entrada del inversor (capacidad de puerta de los dos transistores que lo conforman); cuando la puerta de transmisión es deshabilitada la conservación de carga en dicha capacidad asegura la permanencia del valor booleano en el inversor durante un cierto tiempo.

Ahora bien, en la situación de deshabilitación las propias uniones difusión-sustrato de la puerta de transmisión configuran un camino de descarga para la capacidad de puerta que mantiene el valor booleano; éstas uniones se encontrarán en polarización inversa, lo cual supone una intensidad de corriente sumamente pequeña pero no nula. Al cabo del tiempo dicha capacidad se descargará y el valor booleano se perderá: precisamente por ello estos registros son dinámicos, necesitan ser refrescados cada cierto tiempo (presentan una frecuencia mínima de trabajo).

Podemos definir el tiempo de permanencia como aquel en que la variación de tensión de la capacidad de puerta es inferior a la tensión umbral de los transistores V_{TO} , ya que a partir de ese valor de tensión la intensidad estática por el inversor deja de ser nula (se pierde la condición de consumo estático nulo).

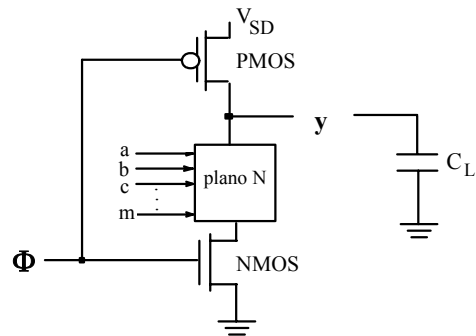
Una estimación del orden de magnitud puede ser la siguiente:

intensidad de descarga $\sim 1 \text{ pA}$
 capacidad de puerta $\sim 1 \text{ fF}$
 $\Delta V = V_{TO} \sim 1 \text{ V} \quad t = C \cdot \Delta V / I \approx 10^{-15} / 10^{-12} = 10^{-3} \text{ s} = 1 \text{ ms}.$

Lógicas pseudoNMOS dinámicas.

Para evitar el problema del consumo estático no nulo en las estructuras pseudoNMOS, se utiliza una «lógica dinámica» con reloj, en la cual se distinguen dos fases en cada unidad de tiempo (pulso de reloj):

- fase de precarga (de la salida de la puerta) $\Phi = 0$
- fase de evaluación (de la función que realiza) $\Phi = 1$



Se añade a la puerta un transistor auxiliar NMOS y los dos transistores extremos, el PMOS de polarización y el NMOS auxiliar, se conectan al reloj Φ de forma que, en ninguna de las dos fases de Φ , conducen a la vez ambos transistores: el consumo de la puerta es nulo.

En cada pulso de reloj, la salida es llevada inicialmente a **1**:

precarga $\Phi = 0$, conduce el transistor PMOS, salida $y = 1$

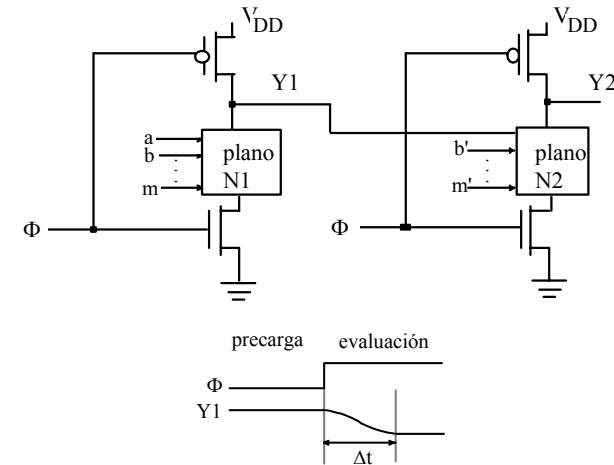
y, posteriormente, el plano N calcula la función:

evaluación $\Phi = 1$, caso de valor **0** descarga la salida, salida $y = f(X)$.

Durante la fase de precarga la salida es llevada a valor booleano **1** a través del transistor PMOS de carga (que conduce cuando $\Phi = 0$). En la fase de evaluación, si la salida (conforme a la función que calcula la puerta) debe ser **0**, tal valor es comunicado a través del plano N y del transistor NMOS auxiliar; pero cuando deba ser **1**, dicho valor ha de conservarse (sobre la capacidad de entrada de la puerta siguiente) a partir de la tensión almacenada en la precarga.

La duración de la fase de evaluación no puede ser indefinida, pues existirá un proceso de descarga que deteriorará el valor booleano almacenado: estas puertas son «dinámicas» y han de actuar por encima de una cierta frecuencia de reloj. Serán puertas de tipo "o-negada" (Nor) para admitir un amplio número de entradas (que es la aplicación propia de las puertas pseudoNMOS).

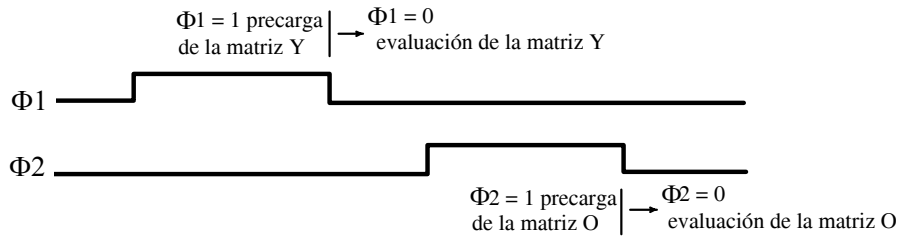
Además, este tipo de puertas (pseudoNMOS dinámicas) no pueden conectarse directamente entre sí, pues es preciso que los correspondientes valores de sus entradas (en particular, las entradas cuyo valor sea **0**) estén presentes antes de iniciarse la fase de evaluación.



Durante la fase de precarga ambas salidas se ponen a **1**; al iniciarse la evaluación la salida Y1 tardará un cierto tiempo Δt en pasar a **0** (supuesto que tal sea su valor), durante el cual (Δt) Y1 provoca la descarga de Y2 (puertas Nor, transistores N en paralelo), de forma que, si Δt es suficientemente amplio para que Y2 deje de valer **1**, ya no podrá adoptar tal valor booleano (Δt anula el efecto de la precarga).

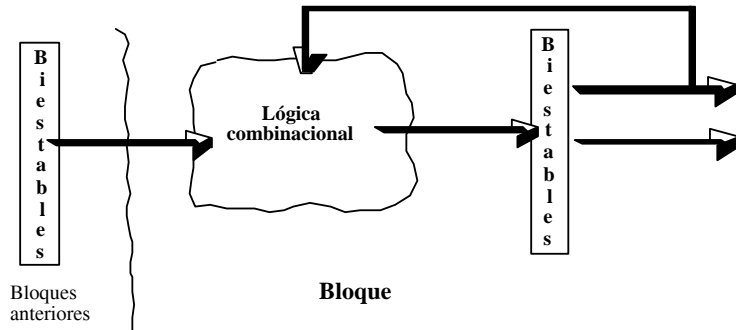
Por ello, estas puertas pseudoNMOS dinámicas son de utilización individual. Para conseguir la conectividad directa entre puertas pseudoNMOS dinámicas se han diseñado soluciones sumamente «complejas», «ingeniosas» y variadas: lógicas con 4 fases de reloj, lógicas dominó, C²MOS, CSVL, ..., pero tales soluciones son más «académicas» que efectivas.

En las estructuras matriciales tipo ROM, PLA, PAL, ..., que utilizan dos conjuntos sucesivos de puertas (matriz Y - matriz O), es posible conectar tales puertas mediante el empleo de dos fases de reloj Φ_1, Φ_2 no solapadas:



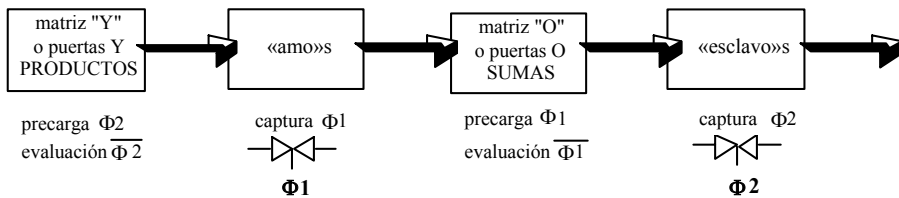
De esta forma, el primer conjunto de puertas (matriz Y) evalúa sus funciones booleanas mucho antes de iniciarse la evaluación del segundo conjunto (matriz O).

En general, los bloques constitutivos de un sistema digital son del tipo siguiente



es decir, la lógica combinacional se encuentra entre biestables.

Las funciones booleanas «intermedias» (la lógica combinacional) pueden ser construidas en forma matricial (suma de productos = PAL) y los biestables (los de salida del propio bloque) pueden ser descompuestos en sus dos partes «amo-esclavo» e intercaladas en la lógica:



Cada semibiestado (*master/slave*) puede ser construido, en configuración dinámica, mediante una simple puerta de transmisión: el valor booleano queda almacenado en la capacidad de entrada de la puerta siguiente (o puertas siguientes).

Habida cuenta de que tanto la matriz Y como la matriz O han de ser realizadas mediante puertas "o-negada" (*Nor*), el bloque considerado quedaría en la forma siguiente:

