

## T2 LOS PROCESOS DE FABRICACION CMOS

T2.1. Etapas básicas en la integración CMOS

T2.2. La litografía para delimitar zonas diferenciadas

T2.3. Tipos de procesos tecnológicos implicados

T2.4. Un ejemplo detallado de integración

T2.5. Parámetros físicos de las regiones CMOS

El objetivo del presente capítulo es presentar el proceso de fabricación de circuitos integrados CMOS de forma que se comprenda la finalidad de cada una de las etapas del proceso y, a la vez, se profundice en la comprensión de la estructura de los transistores CMOS y en la manera de conectarlos para formar circuitos digitales.

La integración CMOS consiste en formar zonas semiconductoras *N* y *P* y la zona de óxido de puerta con polisilicio encima de ella e interconectar los diversos transistores entre sí y con la fuente de alimentación, todas estas conexiones mediante líneas de metal (aluminio).

Las regiones citadas no se encuentran en el mismo plano sino en «pisos» sucesivos: las difusiones penetran en la oblea semiconductor, el óxido de puerta y el polisilicio se elevan sobre ella y el metal circula por encima de todo el conjunto. Sendas capas de óxido separan los transistores entre sí y al metal de todo lo que tiene debajo, salvo en los puntos en que debe establecer conexión.

Pero, además, las difusiones *N* requieren un sustrato *P* que es el dopado propio de la oblea mientras que las difusiones *P* precisan de sustrato *N* que habrá que formarlo previamente sobre la oblea *P*: los pozos. El sustrato *P* debe estar polarizado a la tensión más negativa y los pozos *N* a la más positiva, en ambos casos con la finalidad de que las uniones difusión-sustrato queden aisladas, en polarización inversa.

Por ello, en la superficie de la oblea, separados por óxido denominado de campo, tendremos los transistores y los contactos de polarización de los sustratos; al conjunto de todos ellos (transistores, polarizaciones) les denominamos zonas activas.

La presentación de las etapas del proceso de fabricación CMOS se hace en dos vueltas: primero, se explica conceptualmente el esquema básico de integración; luego, se comenta la litografía, necesaria para diferenciar las zonas de actuación sobre la oblea, y se indican los diversos procesos tecnológicos que se utilizan, para pasar a exponer, muy detalladamente, cada uno de los pasos de la integración.

Además, se incluye un apartado final con datos numéricos de los parámetros físicos (concentración de impurezas, de portadores, conductividad, capacidad, ...) de las diversas regiones CMOS a fin de poder disponer de una perspectiva cuantitativa y poder comparar unas regiones con otras (y comparar, también, con las características propias de un conductor).

### T2.1.. Etapas básicas en la integración CMOS

La presentación de las etapas del proceso de integración en este apartado es conceptual y esquemática; en los apartados siguientes se explicarán en detalle los diversos procesos tecnológicos y estas mismas etapas desglosadas en acciones concretas. Las «máscaras» son el lazo de unión entre el diseño y la fabricación; son los «dibujos» que muestran la separación entre unas zonas y otras en la superficie de la oblea, diferenciando la región sobre la que se actúa en cada etapa del resto que permanece inalterado en la misma etapa.

Las figuras se refieren a la integración de un inversor, como puerta más simple, conformada por un solo transistor PMOS y otro NMOS.

Los valores referidos a espesores y profundidades dependen del proceso tecnológico concreto; tales datos numéricos se incluyen para poder apreciar su orden de magnitud y para comparar la magnitud relativa entre ellos.

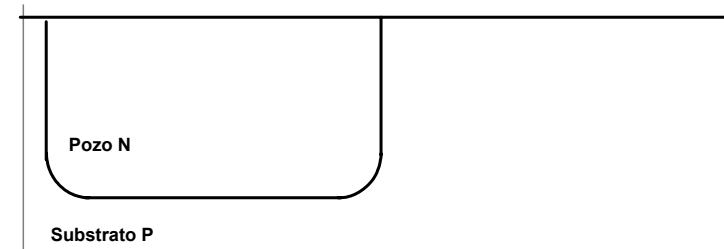
#### 0. Oblea inicial de Silicio dopado tipo P

diámetro: 100 - 125 mm

grosor: 0,5 mm = 500  $\mu$ m.

#### 1. Formación de los Pozos N

Sobre el sustrato P, que es la propia oblea, se formarán los transistores NMOS; es preciso crear zonas de sustrato N para los transistores PMOS: los pozos.



**MÁSCARA 1: pozos**

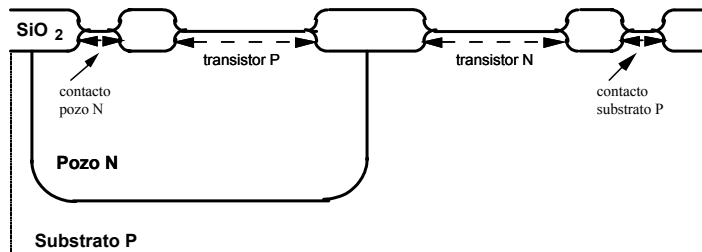
profundidad de los pozos ~ 5  $\mu$ m

**2. Demarcación de las zonas activa:**

transistores y contactos de polarización del sustrato

Además de transistores NMOS y PMOS se integran zonas de difusión para polarizar los sustratos. El sustrato P (oblea) se polarizará a la tensión más negativa de las de alimentación (en digital a 0 V), a fin de que todas las uniones NP de las difusiones de los transistores NMOS (incluyendo el canal cuando se forme) queden en polarización inversa y con ello dichos transistores resulten aislados del propio sustrato. Por la misma razón los pozos N se polarizarán a la tensión más positiva (en digital Vcc) y los transistores PMOS quedarán aislados de su sustrato (del pozo en que se encuentran).

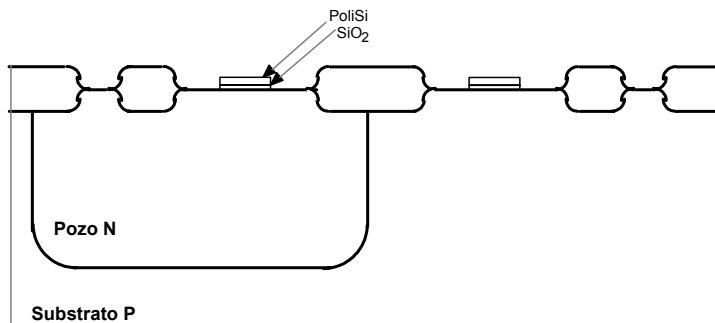
Unas barreras intermedias de óxido de silicio, denominado óxido de campo, separarán los transistores entre sí y éstos de los contactos de polarización; transistores y contactos de polarización son considerados «zonas activas».



**MÁSCARA 2: zonas activas**

espesor del óxido de campo ~ 1 µm

**3. Óxido de puerta y Polisilicio**

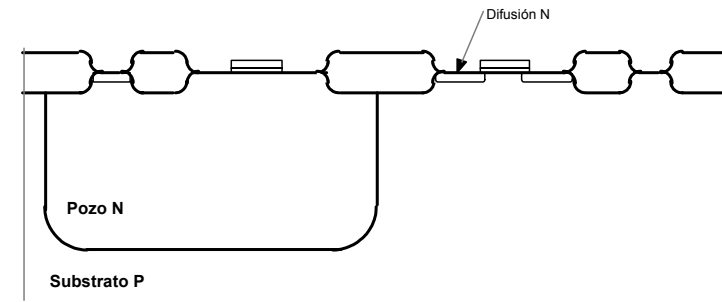


**MÁSCARA 3: polisilicio**

espesor del óxido de puerta ~ 0,05 µm

espesor del polisilicio ~ 0,2 µm

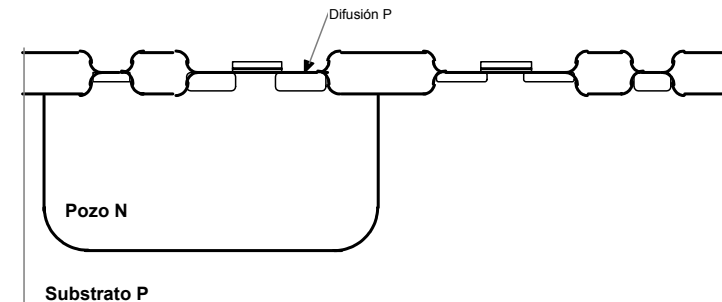
**4. Difusión N**



**MÁSCARA 4: difusión N**

profundidad de la difusión N ~ 0,2 µm

**5. Difusión P**

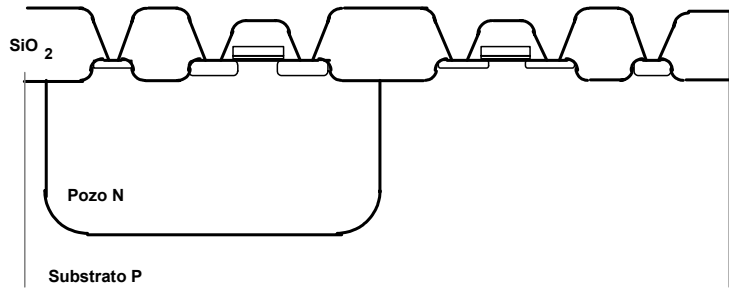


**MÁSCARA 5: difusión P**

profundidad de la difusión P ~ 0,5 µm (doble que la Difusión N)

**6. Contactos**

Una capa de óxido de silicio, óxido de aislamiento o de recubrimiento, sirve para separar el metal (que conecta los diversos transistores entre sí y con las tensiones de alimentación) respecto al polisilicio y las difusiones que se encuentran debajo del mismo. Ahora bien, dicha capa de óxido debe llevar «agujeros» para los contactos de las líneas de metal con las diversas zonas que deben ir conectadas (los contactos son como los puntos de soldadura en las placas de circuitos impresos).



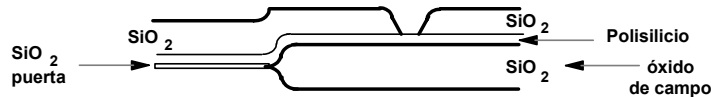
**MÁSCARA 6: contactos**

espesor del óxido de aislamiento ~ **0,7 μm**

dimensiones de los contactos ~ **2 x 2 μm**

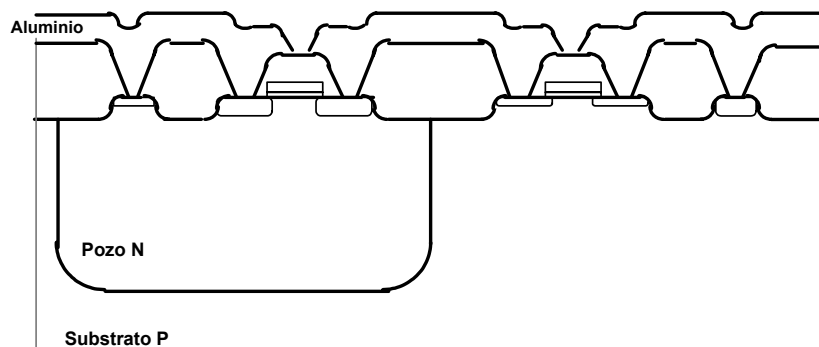
(las dimensiones de los contactos dependen fuertemente de las dimensiones mínimas de la tecnología).

El polisilicio también recibe contactos pero no sobre las zonas de puerta (por eso no se ven en la figura, la cual corresponde a un corte vertical por la zona de puertas):



El polisilicio continúa su recorrido, más allá de las zonas activas, por encima del óxido de campo, efectuando conexiones en polisilicio (por ejemplo, las puertas de los dos transistores MOS complementarios) y conectando también con el metal de conexionado general.

**7. Conexiones en metal**



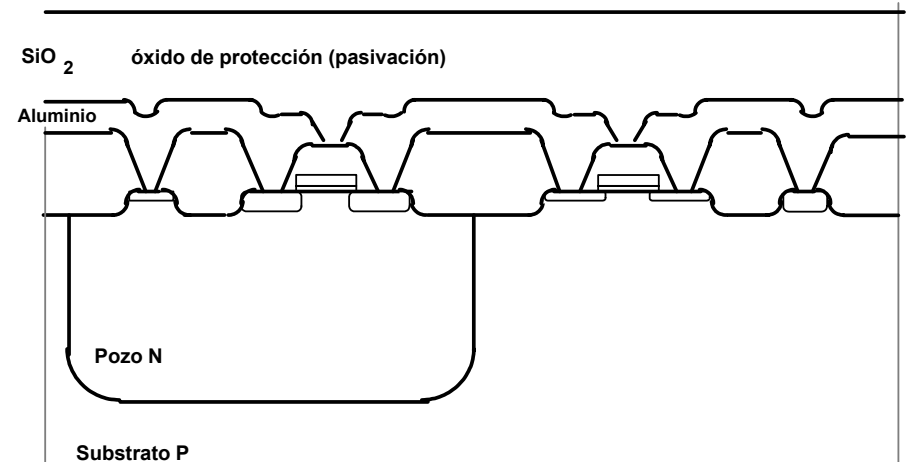
**MÁSCARA 7: metal**

espesor del aluminio ~ **0,5 μm**

Por simplicidad del proceso de integración suponemos que solamente incluye un metal, pero hoy día se integran varios metales superpuestos y cada uno de ellos requiere una capa de óxido de silicio para separarlo del anterior metal, con contactos que se establecen siempre de cada metal con el inferior (*vías*); cada metal precisa de dos máscaras: una para las vías y otra para delimitar las líneas del propio metal.

**8. Pasivación**

Una gruesa capa superior de óxido de silicio sirve para proteger todo el circuito integrado; en la misma deberán dejarse abiertos «agujeros» (PADs) de las zonas en las que se soldarán los hilos que unen el circuito con los terminales (*pins*) de la carcasa de plástico (o cerámica) que lo contiene.



**MÁSCARA 8: pasivación**

espesor de la capa exterior de óxido ~ **2 μm**

La máscara de pasivación delimita simplemente los espacios de metal (PADs) donde se soldarán los citados hilos que conectan con los terminales de la carcasa.

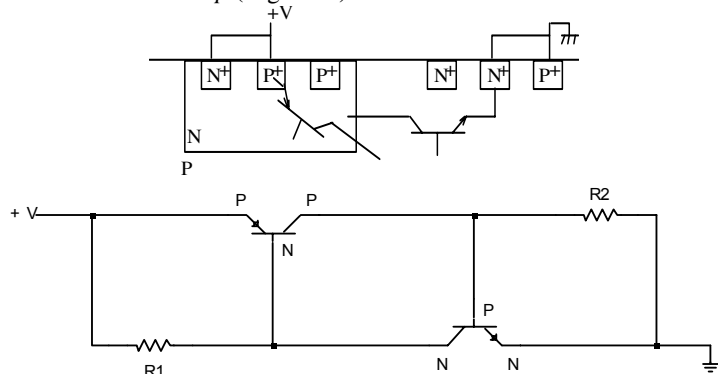
**Transistores MOS autoaislados: el problema del "latch-up"**

Gracias a la polarización de los substratos los transistores MOS se encuentran eléctricamente aislados de su substrato y, por ello, aislados entre sí.

Los transistores NMOS están constituidos por regiones N (fuente - canal - drenaje) en el seno de un substrato de tipo P; para aislar los transistores del substrato y para aislar los diversos transistores entre sí se requiere polarizar el substrato P con la tensión de alimentación más negativa, de forma que todas las uniones NP con el substrato se encuentren polarizadas inversamente.

De igual forma los transistores PMOS están constituidos por regiones P en el seno de un sustrato de tipo N (pozo); para aislarlos se requiere polarizar el sustrato N (todos los pozos presentes en el integrado) con la tensión de alimentación más positiva, para que todas las uniones PN se encuentren polarizadas en inverso.

Este requisito de aislamiento de los transistores se encuentra reforzado por el hecho de que las regiones N y P propias de las estructuras CMOS se encuentran intercaladas entre sí y permiten la configuración de estructuras parásitas tipo tiristor (PNPN), con características destructivas al ser posible el disparo de una conducción de intensidad incontrolada. Este fenómeno autodestructivo debido al autodisparo de las estructuras PNPN se conoce como *latch-up* (enganche).



Si la caída de tensión en alguna de las resistencias transversales  $R_1$  y  $R_2$  consigue acercarse a 0,5 V, ambos transistores conducen sin limitación de intensidad (de hecho se encuentran realimentados positivamente: el aumento de la  $I_C$  de uno de ellos provoca el de la  $I_B$  del otro, con el consiguiente aumento de su  $I_C$  y, por tanto, de la  $I_B$  del primero), configurando un tiristor en situación de disparo y sin limitación de intensidad.

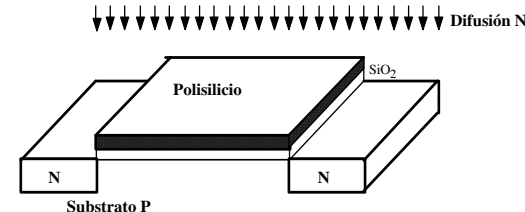
Ambas resistencias se forman a través de los sustratos, de manera que interesa que la resistividad de ambos sustratos (el P de la oblea y el N de los pozos) no sea muy alta y que la tensión de polarización alcance eficazmente a toda la masa del sustrato (para que las diferencias de tensión entre dos puntos del sustrato sean mínimas).

En tal sentido es fundamental asegurar una polarización intensiva de toda la superficie de los sustratos: para evitar la posibilidad de *latch-up* es preciso polarizar cada sustrato con múltiples contactos, de forma que cualquier punto de su superficie se encuentre cercano a un contacto de polarización; generalmente se requiere que la distancia de cualquier punto a un contacto de polarización sea inferior a 50  $\mu\text{m}$ .

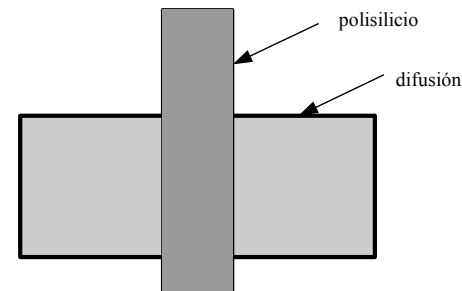
Tengamos presente que la polarización de los sustratos es un requisito previo a las consideraciones sobre *latch-up*: es necesaria para aislar los transistores del sustrato, para establecer uniones PN inversas entre ambos. El fenómeno del *latch-up* añade la exigencia de que tal polarización se haga en forma múltiple e intensiva, de forma que cada punto de la superficie del sustrato se encuentre a menos de 50  $\mu\text{m}$  de un contacto de polarización.

**Transistores MOS autoalineados**

La puerta y el polisilicio se integran antes que las difusiones y la máscara de difusión es continua y cruza a la del polisilicio; por ello, la puerta y las dos zonas de difusión (fuente y drenaje) quedan autoalineadas: la difusión se realiza sobre todo el transistor pero no penetra debajo del polisilicio.



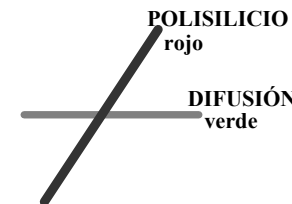
El transistor se forma físicamente por el cruce de 2 regiones: polisilicio y difusión; debajo del polisilicio la difusión se encuentra interrumpida (ha penetrado en el propio polisilicio pero no pasa debajo del mismo).



El cruce de máscaras polisilicio-difusión siempre da lugar a un transistor MOS.

Un pequeño desplazamiento de la máscara de difusión respecto a la de polisilicio no impide la formación del transistor en el cruce de ambas. En tal sentido se dice que el transistor está autoalineado: puede formarse un poco desplazado respecto a ambas máscaras pero se forma siempre que ambas se cruzan.

Abstrayendo las dimensiones superficiales, el transistor puede representarse en un diagrama lineal como un cruce entre dos líneas: difusión - polisilicio.



Las características de autoalineados y autoaislados que poseen los transistores MOS reducen el tamaño necesario para su integración y permiten situarlos muy próximos entre sí, de modo que la densidad de integración en tecnologías MOS es muy alta.

### T2.2. La litografía para delimitar zonas diferenciadas

El proceso de fabricación de un circuito integrado CMOS se basa en la configuración de diversas zonas superficiales: pozos, zonas activas, líneas de polisilicio, zonas de difusión N, zonas de difusión P, contactos, líneas de metal (*vías* entre metal 1 y metal 2, líneas de metal 2,...), puntos de conexión hacia el exterior (*PADs*), etc. La construcción de estas zonas da lugar a etapas sucesivas en el proceso de integración.

En cada una de las etapas resulta necesario distinguir las áreas sobre las que se actúa del resto de la superficie de la oblea; la delimitación de áreas viene dada por las máscaras resultantes del proceso de diseño del circuito integrado.

La forma de discriminar o dividir la superficie de la oblea en dos regiones, para actuar sobre una de ellas y no sobre la otra, es análoga a la forma de realizar circuitos impresos a partir del fotolito que contiene el dibujo de sus pistas:

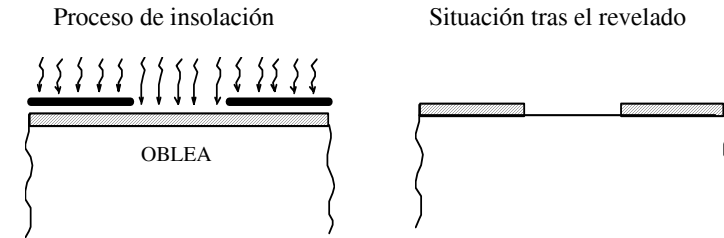
- cubrir la superficie metálica de la placa con una resina fotosensible,
- insolar con luz ultravioleta a través del fotolito,
- revelar la resina dando lugar a la distinción entre áreas protegidas por la misma y áreas sin protección,
- ataque con un ácido (grabado) para disolver el metal de las zonas no protegidas.

Existen dos clases de resinas sensibles a la luz (fotorresinas): aquellas en las que el revelado elimina la resina en las zonas expuestas a la radiación (resinas fotopositivas) y aquellas otras en que la resina es eliminada en las zonas no iluminadas (resinas fotonegativas).

Este proceso consistente en trasladar a la superficie de la placa metálica o de la oblea de silicio el dibujo de un fotolito o máscara recibe el nombre de litografía (ya que su objetivo es análogo a la impresión de textos y dibujos sobre papel).

La litografía utilizada en los circuitos impresos y la empleada para fabricar circuitos integrados se diferencian en el factor de escala: en el caso de los circuitos impresos, las anchuras de sus líneas son del orden de la décima del milímetro y en los circuitos integrados actuales corresponden a décimas de micra.

La litografía permite transferir a la superficie de la oblea el dibujo representado en la máscara; la transcripción se realiza mediante una fotorresina que, una vez revelada, establece una diferenciación superficial entre las zonas protegidas por la fotorresina residual y las zonas abiertas, disponibles para ser «grabadas», es decir, para ser atacadas químicamente o sometidas a implantación iónica.



El proceso se realiza en la forma que sigue:

- sobre la superficie de la oblea se depositan unas gotas de resina y mediante giro rápido se forma, por efecto centrífugo, una delgada película homogénea
- insolando con luz ultravioleta, a través de la correspondiente máscara, se impresiona la resina en las zonas en que la máscara permite el paso de luz
- en el revelado, mediante un adecuado disolvente químico, la resina es eliminada de las zonas expuestas a la luz (resina fotopositiva) o de las zonas no iluminadas (resina fotonegativa).

La utilización de radiación ultravioleta (cuya longitud de onda es inferior a la de las radiaciones visibles) permite una resolución de  $0,4 \mu\text{m}$ . El interés por seguir reduciendo las dimensiones de transistores y conexiones para aumentar la densidad de integración ha impulsado el desarrollo de litografía por haces de electrones (resolución  $\sim 0,1 \mu\text{m}$ ) y litografía por rayos X (resolución  $0,01 \mu\text{m}$ ).

Para fabricar un número de circuitos reducido (en particular, para prototipos) se utilizan procedimientos de litografía sin máscaras, insolando la resina mediante un chorro de electrones (*electron beam*) controlado por ordenador, el cual dibuja secuencialmente (en un barrido por líneas, análogo al de TV) la correspondiente figura geométrica. Esta litografía por *electron beam*, al no utilizar máscaras, abarata considerablemente la fabricación de series reducidas (hace viable la fabricación de circuitos integrados para un reducido número de ejemplares).

La etapa siguiente a una litografía es siempre una grabación, es decir, el ataque de las zonas abiertas (no protegidas) con un disolvente ácido, o una difusión, o sea, la inserción de impurezas (fósforo o boro) a través de dichas zonas para formar regiones P o N.

### T2.3. Tipos de procesos tecnológicos implicados

#### a) Litografía y grabado

**LITO** Litografía: comentado en el apartado anterior. La litografía comprende varias acciones sucesivas: depósito y homogeneización de la resina, posicionamiento respecto a la máscara, insolación, revelado,...

**GRAB** Grabado: Consiste en eliminar el óxido de silicio, el polisilicio o el metal de las zonas no protegidas por la fotorresina, una vez que ésta ha sido revelada; la litografía ha reflejado sobre la superficie del material a eliminar el dibujo de la máscara empleada, distinguiendo la zona en que debe permanecer dicho material del resto en que debe ser eliminado. La grabación se efectúa con disolventes químicos adecuados, principalmente ácido fluorhídrico FH, controlando el tiempo de ataque de los mismos. En muchas ocasiones este proceso de grabado se realiza con el atacante vaporizado al vacío y en estado de plasma por aplicación de campos eléctricos de elevada frecuencia.

#### b) Oxidación

**OXter** Oxidación térmica: Se realiza directamente sobre la oblea en atmósfera oxidante a temperatura superior a los 1000°C. La oxidación húmeda, con vapor de agua, es un proceso relativamente rápido (~ 0,5 µm/hora) pero no muy preciso; se utiliza para hacer crecer el óxido grueso de separación de las zonas activas (óxido de campo). La oxidación seca, en atmósfera de O<sub>2</sub>, es mucho más lenta (~ 0,02 µm/hora), permitiendo controlar con precisión el espesor del óxido; por ello se utiliza para el crecimiento del óxido fino de puerta. En ambos casos, la oxidación térmica consume sustrato, penetrando ligeramente el óxido en el mismo.

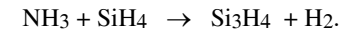
**OXdep** Depósito de óxido: Los óxidos de recubrimiento y de pasivación han de ser obtenidos mediante depósito; para ello suele emplearse la reacción del hidruro de silicio SiH<sub>4</sub> con el oxígeno, dando lugar, a través de un proceso de combustión, a óxido de silicio SiO<sub>2</sub> que se deposita y agua vaporizada. Esta deposición se realiza a temperatura de unos 500°C.

#### c) Depósito

**POLI** Depósito de polisilicio: Se realiza por vía química, forzando la ruptura molecular (*cracking*) del hidruro de silicio SiH<sub>4</sub>, lo cual da lugar a deposición de silicio en forma policristalina (múltiples cristales).

**ALdep** Depósito de metal (Al): Se efectúa por vía física, mediante evaporación del aluminio en vacío o por pulverización catódica, a unos 400°C de temperatura, formando en ambos casos un plasma activo (generado por aplicación de campos de alta frecuencia); se añade al metal una pequeña proporción de silicio que facilita los contactos, al configurar una aleación Al-Si.

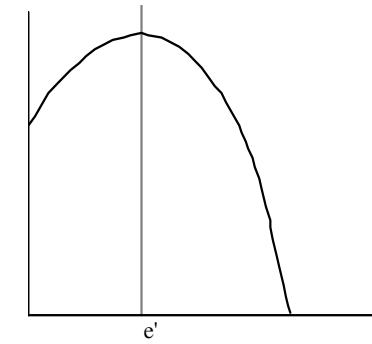
**NIdep** Depósito de nitruros de silicio: Tales nitruros se utilizan como aislantes en las primeras etapas de la integración, para formar el óxido de campo con perfiles suaves (perfiles de *pico de pájaro* >) en la separación de zonas activas, y luego se eliminan; se depositan por reacción química entre amoníaco e hidruro de silicio:



#### d) Difusión e implantación iónica

**DIF** Difusión: Representa la forma clásica de obtener el dopado del semiconductor, a temperaturas muy altas (> 1200°C), en un horno de cuarzo, con una atmósfera rica en la correspondiente impureza (generalmente fósforo para dopado tipo N y boro para tipo P).

**Ión** Implantación iónica: Se refieren a implantar en la superficie del sustrato, con profundidades del orden de 0,1 µm, átomos de impurezas que han sido previamente ionizados para poder acelerarlos mediante un campo eléctrico. La densidad de concentración de impurezas, tras un proceso de implantación iónica, presenta un perfil gaussiano con una fuerte pendiente de caída:



para campos eléctricos ~ 100 Kev

$e' \approx 0,25 \mu\text{m}$  en el caso del Boro

$e' \approx 0,15 \mu\text{m}$  en el caso del Fósforo

En un principio, la implantación iónica se utilizó para modificar superficialmente el dopado en la zona de canal y con ello ajustar la tensión umbral de los transistores. Actualmente se utiliza también para crear las zonas de difusión (fuente y drenaje), sustituyendo a los procesos de difusión; en este caso, la implantación iónica va seguida de un recocido que aumenta la profundidad de las zonas dopadas.

**RECC** Recocido: La implantación iónica da lugar a dopados muy superficiales; efectuando un recocido posterior a alta temperatura (> 1000°C) se produce una redistribución de las impurezas, que se difunden por efecto térmico, penetrando hacia el interior de la oblea y ocupando un mayor volumen.

#### e) Lavados

**LAVO** Lavado: A lo largo del proceso de integración se realizan numerosos lavados para eliminar la capa superficial (óxido, nitruro, resina,...) mediante el disolvente adecuado.

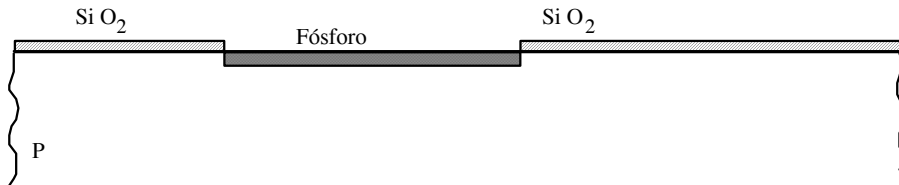
T2.3. Un ejemplo detallado de integración

A. Oblea de silicio, dopada P

dopado  $\approx 10^{15}$  at/cm<sup>3</sup> Ø: 100 - 125 mm e: 0,5 mm = 500  $\mu$ m

1. **LAVO** Lavado inicial de la oblea para limpiar a fondo su superficie.

B. Implantación iónica de fósforo para construir pozos N



2. **OXter** Oxidación de toda la superficie. e  $\approx 0,5 \mu$ m

3. **LITO** Definición por litografía de todos los pozos. **M1 = pozos**

(en cada litografía se indica la máscara a utilizar, con la letra M)

4. **GRAB** Eliminación del óxido en las zonas de pozos.

5. **LAVO** Eliminación de la fotorresina residual.

6. **IIón(P)** Implantación iónica de fósforo.

concentración  $\approx 10^{13}$  at/cm<sup>2</sup>  $\equiv 5 \times 10^{17}$  at/cm<sup>3</sup> e  $\approx 0,2 \mu$ m

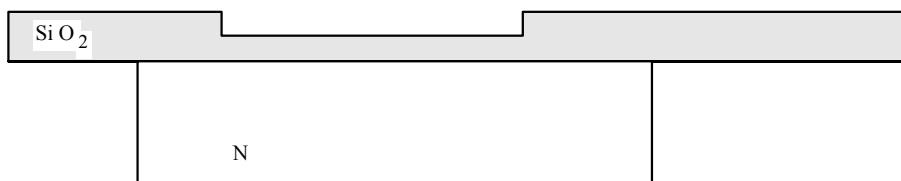
además de la formación del plozo, esta implantación iónica tiene dos utilidades complementarias:

a) da lugar a una zona N<sup>+</sup> en la superficie que servirá para mejorar la separación entre zonas activas del propio pozo (debajo del óxido de campo) y la separación entre el pozo y el substrato en los bordes de los pozos;

b) se controla adecuadamente para realizar (junto con la implantación de boro de la etapa H) el ajuste de la tensión umbral de los transistores PMOS.

C. Redistribución del fósforo para conformar el pozo

Se realiza por recocido en ambiente rico en oxígeno de forma que el óxido en la superficie del pozo impida la emigración hacia afuera del fósforo implantado.



7. **RECC** Recocido. 20 horas, rampa de temperatura de 900 a 1200°C

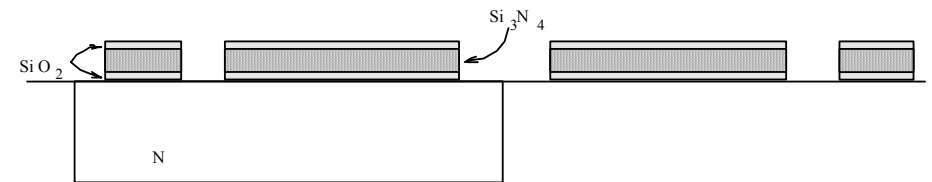
concentración fósforo  $\approx 10^{16}$  at/cm<sup>2</sup> espesor pozo  $\approx 5 \mu$ m

concentración N equivalente  $10^{16} - 10^{15} \approx 10^{16}$

8. **LAVO** Eliminación de la capa superficial de óxido.

D. Demarcación de zona de activas

Las zonas activas delimitan los transistores y los contactos de los substratos; sobre ellas se deposita una capa protectora óxido-nitruro-óxido (SiO<sub>2</sub> - Si<sub>3</sub>N<sub>4</sub> - SiO<sub>2</sub>), para inhibir la formación del óxido de campo en ellas y para facilitar que la formación de dicho óxido se efectúe con perfiles suaves (tipo pico de pájaro).



9. **OXter** Oxidación fina de la superficie de la oblea. e  $\approx 0,05 \mu$ m

10. **Nidep** Depósito de nitruro de silicio. e  $\approx 0,2 \mu$ m

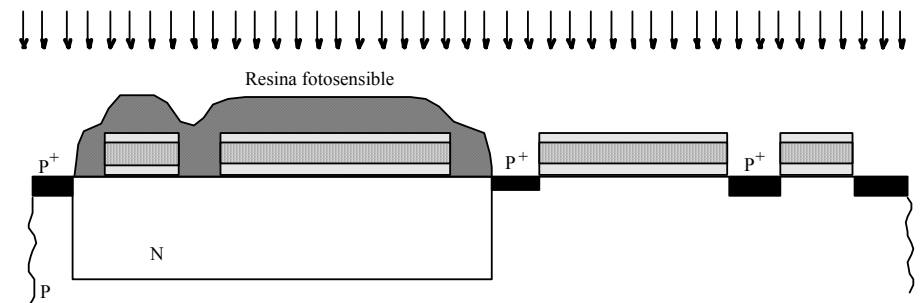
11. **OXdep** Depósito de óxido de silicio. e  $\approx 0,05 \mu$ m

12. **LITO** Definición por litografía de las zonas activas. **M2 = zonas activas** se utiliza resina fotosensible negativa para dejar protegidas dichas zonas

13. **GRAB** Eliminación del óxido y nitruro de las zonas no protegidas.

14. **LAVO** Eliminación de la fotorresina residual.

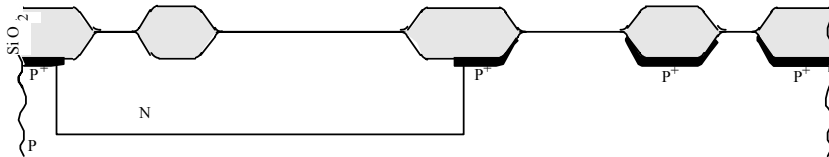
E. Difusión del boro (formación de zonas P<sup>+</sup>) para mejorar las separaciones



15. **LITO** Protección por litografía de los pozos. **M1 = pozos**  
se utiliza resina fotosensible negativa para proteger los pozos.
16. **DIF(B)** Difusión de boro en el sustrato P (zonas de óxido de campo).  
esta difusión formará zonas semiconductoras P<sup>+</sup> en los extremos de los pozos  
y en las zonas de separación entre las zonas activas del sustrato P  
concentración  $\approx 10^{17}$  at/cm<sup>3</sup>  $e \approx 0,2 \mu\text{m}$
17. **LAVO** Eliminación de la fotorresina residual.

Las zonas P<sup>+</sup> de separación formadas en esta etapa dentro del sustrato P mejoran el aislamiento de los transistores de canal NMOS y el aislamiento de los pozos en sus bordes; el mismo efecto se produce en los pozos mediante la implantación de fósforo en la etapa B.

#### F. Oxidación gruesa para separar las zonas activas



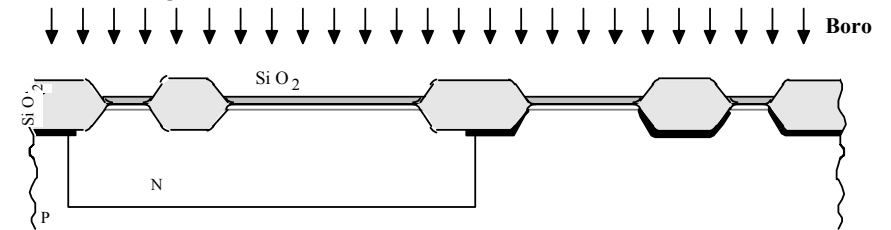
18. **OXter** Oxidación gruesa de la superficie.  $e \approx 1 \mu\text{m}$   
oxidación de las zonas no protegidas por el óxido-nitruro-óxido
19. **LAVO** Eliminación de la capa superficial óxido-nitruro-óxido.

#### G. Oxidación fina de puerta

20. **OXter** Oxidación fina para formar el dieléctrico de puerta.  
 $e \approx 0,05 \mu\text{m} = 500 \text{ \AA}$

Esta etapa de oxidación fina y muy controlada para formar el óxido de puerta de todos los transistores MOS es la más delicada de todo el proceso de integración, ya que de las características de este óxido de puerta y de su espesor (cuya magnitud es del orden de las centésimas de micra) depende el correcto funcionamiento de los transistores MOS y el valor concreto de su transconductancia.

#### H. Ajuste de $V_{TO}$ por implantación de boro

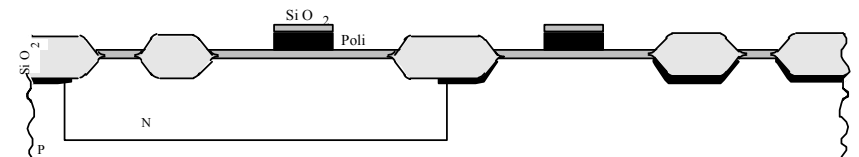


21. **IIón(B)** Implantación iónica de boro en toda la superficie  
para ajustar  $V_{TO}$  de los transistores N.

concentración de boro  $\approx 10^{12}$  at/cm<sup>2</sup>  $\approx 10^{16}$  at/cm<sup>3</sup>  $e \approx 0,2 \mu\text{m}$

Con esta implantación iónica se ajusta la tensión umbral  $V_{TO}$  de los transistores NMOS; además, esta implantación combinada con la de fósforo en la etapa A sirve para ajustar también la de los transistores PMOS. Inicialmente las tensiones umbrales resultan del orden de 0,4 V para NMOS y - 2 V para PMOS; la implantación de boro aumenta ambas tensiones (en sentido positivo) y sitúa su valor absoluto en el entorno de 1 V.

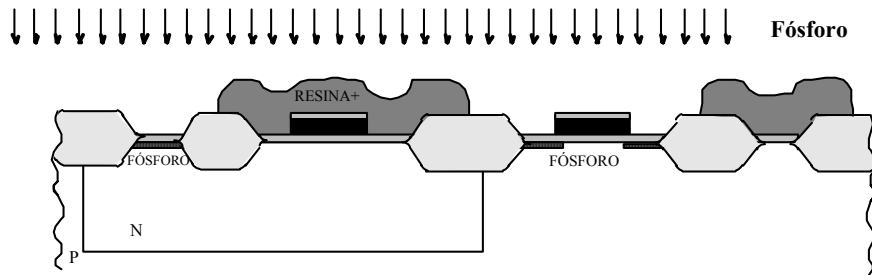
#### I. Depósito de polisilicio y recorte del mismo



22. **POLI** Depósito de polisilicio sobre toda la superficie.  $e \approx 0,2 \mu\text{m}$ .
23. **DIF(P)** Dopado del polisilicio con fósforo  
para hacerlo buen conductor (semiconductor N).  
concentración  $N_D \approx 10^{20}$  at/cm<sup>3</sup>
24. **OXter** Formación de una capa de óxido protector sobre el polisilicio.  $e \approx 1 \mu\text{m}$
25. **LITO** Definición por litografía de las zonas de puerta  
y conexiones en polisilicio. **M3 = poli**  
se utiliza resina fotosensible negativa
26. **GRAB** Eliminación del óxido en el resto de la superficie,  
no protegida por la resina.
27. **GRAB** Eliminación del polisilicio en la parte abierta,  
no protegida por el óxido anterior.
28. **LAVO** Eliminación de la resina residual.



**J. Implantación de fósforo (transistores NMOS y contactos sustrato N)**



29. **LITO** Definición por litografía de las zonas N<sup>+</sup> (transistores canal N y contactos sustrato N). **M4 = dif.N**

se utiliza resina fotopositiva que deja descubiertas dichas zonas

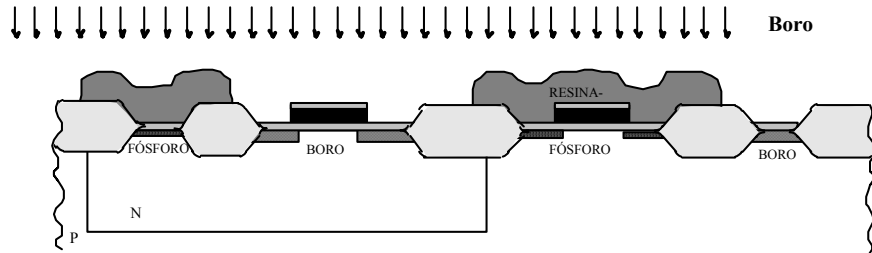
30. **Ión(P)** Implantación en ellas de fósforo.

$\epsilon \approx 100 \text{ Kev}$

concentración  $\approx 10^{15} \text{ at/cm}^2 \approx 10^{20} \text{ at/cm}^3$   $e \approx 0,1 \mu\text{m}$

31. **LAVO** Eliminación de la resina residual.

**K. Implantación de boro (transistores P y contactos sustrato P)**



32. **LITO** Definición por litografía de las zonas P<sup>+</sup> (transistores canal P y contactos sustrato P). **M4 = dif.N**

se emplea la misma máscara que en la etapa anterior y resina fotosensible negativa que deja protegidas las zonas N<sup>+</sup>.

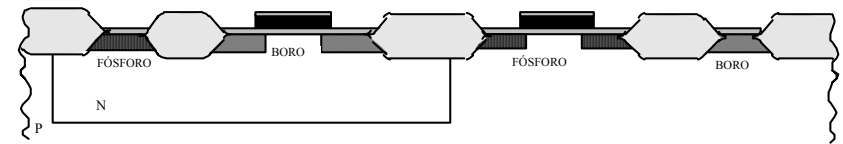
33. **Ión(B)** Implantación de boro en el resto.

$\epsilon \approx 100 \text{ Kev}$

concentración  $\approx 10^{15} \text{ at/cm}^2 \approx 5 \times 10^{19} \text{ at/cm}^3$   $e \approx 0,2 \mu\text{m}$

34. **LAVO** Eliminación de la resina residual.

**L. Conformación por redistribución de las zonas de difusión N<sup>+</sup> y P<sup>+</sup>**



35. **RECC** Recocido para redistribuir las impurezas implantadas ensanchando las zonas N<sup>+</sup> y P<sup>+</sup>.

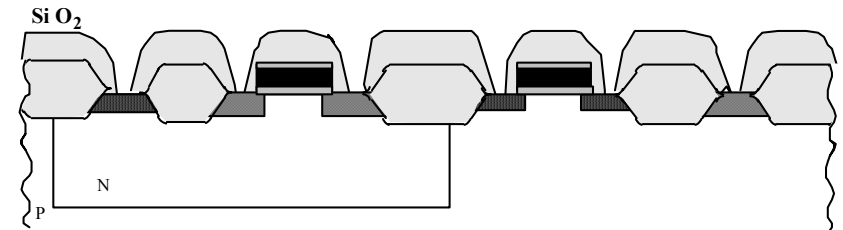
duración  $\approx 30$  minutos

concentraciones resultantes:

difusión N  $\approx 10^{20} \text{ at/cm}^3$   $e_{N+} \approx 0,2 \mu\text{m}$

difusión P  $\approx 10^{19} \text{ at/cm}^3$   $e_{P+} \approx 0,5 \mu\text{m}$

**M. Recubrimiento por óxido y apertura de contactos**



36. **OXdep** Deposito de una capa de óxido grueso de recubrimiento.

$e \approx 0,7 \mu\text{m}$

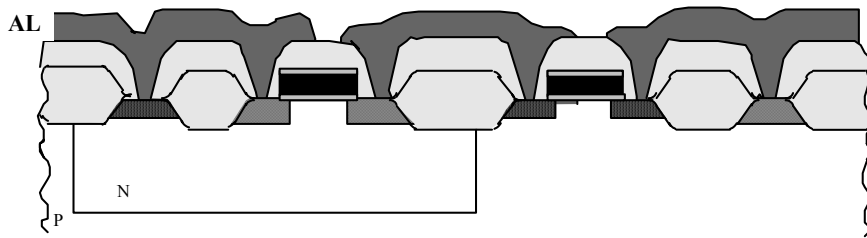
37. **LITO** Definición por litografía de los contactos. **M5 = contactos**

en ellos se elimina el óxido superficial para permitir que el metal conecte con la capa inferior: difusiones, sustratos o polisilicio; se utiliza resina fotosensible positiva.

38. **GRAB** Eliminación del óxido en los contactos.

39. **LAVO** Eliminación de la resina residual.

## N. Metalización y recorte de las conexiones sobre el metal



40. **Aldep** Depósito de metal (Aluminio) sobre toda la superficie.

$$e \approx 0,5 \mu\text{m}$$

el metal penetra asimismo por los agujeros de contactos definidos en la etapa anterior.

41. **LITO** Delimitación por litografía de las conexiones metálicas.

**M6 = metal**

43. **GRAB** Eliminación del metal exterior a las conexiones.

44. **LAVO** Eliminación de la resina residual.

## O. Pasivación y delimitación de PAD's

45. **OXdep** Depósito de una gruesa capa de óxido de pasivación.

esta capa de óxido protegerá a todo el circuito integrado.  $e \approx 2 \mu\text{m}$

46. **LITO** Demarcación de los puntos de conexión hacia el exterior

**M7 = pasivación**

se delimitan los puntos de soldadura (PAD's) de los hilos metálicos que conectarán con las patillas (*pins*) del encapsulado.

47. **GRAB** Eliminación del óxido de pasivación en dichos espacios.

48. **LAVO** Eliminación de la resina residual.

**En resumen:** 7 máscaras: **M1** pozos (sustrato N para transistores P)  
**M2** zonas activas (transistores y contactos sustratos)  
**M3** líneas de polisilicio  
**M4** zonas N<sup>+</sup>    **M4** zonas P<sup>+</sup>  
**M5** contactos  
**M6** líneas de metal  
**M7** puntos de conexión (PAD's)

48 operaciones: 8 oxidaciones (1 de altísima precisión:  $t_{ox}$ )  
 3 depósitos: nitruro, polisilicio, metal  
 9 litografías  
 7 grabados  
 4 implantaciones iónicas  
 1 difusión  
 2 recocidos  
 14 lavados o limpiezas.

En el caso habitual de utilizar un segundo metal son necesarias dos máscaras adicionales:

**M6 bis** vías: contactos del segundo metal con el primero

**M6 tris** líneas de metal referidas al segundo de ellos

y las correspondientes operaciones de depósito del óxido de separación intermedio, litografía de las vías, depósito del segundo metal, litografía de sus líneas de conexión y grabado de las mismas.

Para circuitos integrados digitales complejos se utilizan hasta 6 capas de metal superpuestas. Asimismo, en integrados analógicos se emplean varias capas de metal y suelen utilizarse también dos polisilicios; para el segundo polisilicio es necesaria una máscara adicional:

**M3 bis** líneas del segundo polisilicio

y las subsiguientes operaciones de depósito del óxido de separación intermedio, depósito del segundo polisilicio, litografía de las líneas del mismo y grabado de ellas.

T2.5. Parámetros físicos de las regiones CMOS

Valores típicos de los diversos parámetros

Los valores de los diversos parámetros dependen del proceso tecnológico concreto; estos datos numéricos se detallan a efectos de poder apreciar su orden de magnitud y comparar la magnitud relativa entre ellos.

**SEMICONDUCTORES**

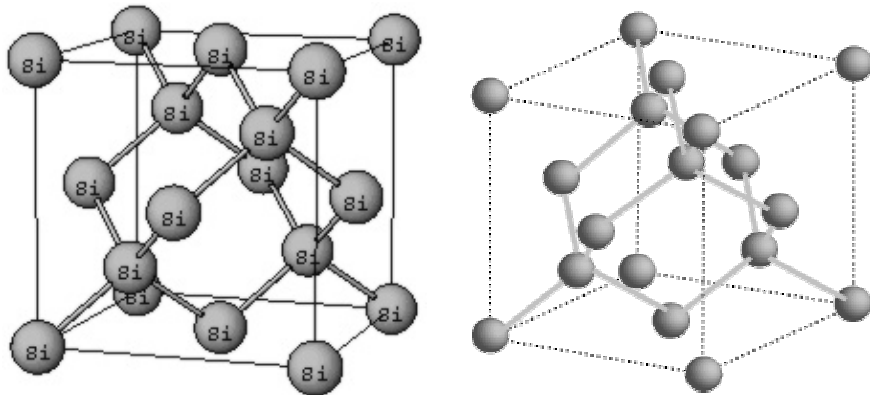
Oblea inicial de silicio dopado tipo P

diámetro: 90 - 125 mm

grosor: 0,5 mm = 500 μm

**Silicio Si**

El silicio cristaliza en red cúbica centrada en las caras



lado del cubo: 5,43 Å = 543 pm

distancia entre átomos: 2,35 Å = 235 pm

concentración: 5 · 10<sup>22</sup> áts/cm<sup>3</sup> ~ 10<sup>22</sup> cm<sup>-3</sup>

orientación cristalográfica 100 (sección por las caras del cubo).

separación energética Banda de Conducción - Banda de Valencia

$E_G = 1,124 \text{ eV}$        $1 \text{ eV} = 16 \cdot 10^{-20} \text{ julios}$

Una energía normal a escala humana (por ejemplo, la potencial gravitatoria de un kilogramo a una altura de 1 metro o la energía calorífica de un litro de agua al aumentar su temperatura en 2 grados) es cien mil trillones de veces superior al electrón-voltio.

Al recombinarse un electrón con un hueco se produce un fotón, cuya energía será la propia de separación entre la banda de conducción y la de valencia; la mecánica cuántica permite calcular la longitud de onda y la frecuencia del fotón en relación con su energía:

$$E = h \cdot \nu = h \cdot \lambda / c \quad \begin{matrix} h = 66,25 \cdot 10^{-35} \text{ julios}\cdot\text{s} \\ \nu = \lambda / c \quad \quad \quad c = 300 \cdot 10^6 \text{ m/s} \end{matrix}$$

$$\lambda \sim 1,1 \mu\text{m} \quad \nu \sim 270 \cdot 10^{12} \text{ Hz} \quad \Rightarrow \text{infrarrojo}$$

Esta frecuencia se encuentra fuera (por debajo) del espectro visible, el cual va de los 400 a los 800 THz (1 THz = 10<sup>12</sup> Hz); los 270 THz corresponden a un infrarrojo muy bajo. [Los diodos LED utilizan esta recombinación electrón-hueco para producir radiación luminosa aprovechando la mayor separación energética entre las bandas de conducción y valencia en el arseniuro de galio y fósforo, As Ga P; de esta forma se consiguen diodos LED rojos, 1,8 eV 450 THz, naranjas, 2 eV 500 THz, y amarillos, 2,1 eV 520 THz.]

número de portadores

pares electrón/hueco (en BC/BV):  $n_i^2 \sim 0,2 \cdot 1020 \cdot e^{\frac{-q.E_G}{2.K.T}}$

$K = 8,62 \cdot 10^{-5} \text{ eV}$

a "temperatura ambiente"  $t = 27^\circ\text{C} = 300^\circ\text{K}$

$K.T/q = 0,0026 \text{ voltios} \quad n_i \sim 10^{10} \text{ cm}^{-3}$

**Dopado**

- \*\* tipo N átomos de fósforo P       $E_G = 0,045 \text{ eV}$  (25 veces < Si)
- concentración  $N_D$  (nº de átomos donadores / cm<sup>3</sup>)
- portadores mayoritarios: electrones  $n = N_D$
- \*\* tipo P átomos de boro B       $E_G = 0,045 \text{ eV}$  (25 veces < Si)
- concentración  $N_A$  (nº de átomos aceptores / cm<sup>3</sup>)
- portadores mayoritarios: huecos  $p = N_A$

substrato P (oblea)

dopado       $N_A \sim 10^{15} \text{ áts.B/cm}^3$

un átomo de impureza por cada 50 billones de átomos de silicio

en cambio, 100.000 huecos por cada par electrón-hueco del silicio

►► **substrato N (pozo)**dopado  $N_D \sim 10^{16}$  áts.P/cm<sup>3</sup>

el pozo se forma sobre el substrato P (oblea) añadiendo átomos de fósforo para invertir el tipo de semiconductor: el dopado N del pozo tiene que ser, al menos, un orden de magnitud superior (10 veces mayor) que el dopado del substrato P para cambiarlo a N

**polisilicio y difusión N**dopado  $N_D \sim 10^{20}$  áts.P/cm<sup>3</sup>

un átomo de impureza por cada 500 átomos de silicio

en cambio, 10.000 millones de electrones por cada par electrón-hueco del silicio

100.000 electrones por cada hueco del substrato P

**difusión P**dopado  $N_D \sim 10^{19}$  áts.P/cm<sup>3</sup>

la difusión P penetra también en el polisilicio en la zona de puerta de los transistores PMOS: es necesario asegurar que el dopado N del polisilicio no se modifica apreciablemente; para ello la difusión P ha de ser un orden de magnitud inferior al dopado del polisilicio

**CONDUCTIVIDAD****conducción intrínseca del silicio**pares electrón/hueco a "temperatura ambiente"  $t = 27^\circ\text{C} = 300^\circ\text{K}$   $n_i \sim 10^{10}$  cm<sup>-3</sup>movilidad eléctrica  $\mu_e \sim 1360$  cm<sup>2</sup>/V.s $\mu_h \sim 460$  cm<sup>2</sup>/V.s  $\mu_e/\mu_h \sim 3$ 

la movilidad de los huecos es considerablemente inferior a la de los electrones libres, ya que son electrones ligados (a enlaces de valencia) los que han de desplazarse para que un hueco se mueva

conductividad eléctrica  $\sigma = q \cdot \mu_e \cdot n + q \cdot \mu_h \cdot p$ 

n = concentración de electrones en Banda de Conducción

p = concentración de huecos en Banda de Valencia

q = carga del electrón =  $16 \cdot 10^{-20}$  culombios $\sigma = q \cdot (\mu_e + \mu_h) \cdot n_i \sim 3 \cdot 10^{-6}$  (Ω.cm)<sup>-1</sup>resistividad eléctrica  $\rho = 1/\sigma \sim 300$  KΩ.cm**conducción del substrato P** $N_A \sim 10^{15}$  áts.B/cm<sup>3</sup>movilidad eléctrica  $\mu_h \sim 450$  cm<sup>2</sup>/V.s

es próxima a la del silicio puro ya que el dopado es bajo

conductividad eléctrica  $\sigma = q \cdot \mu_h \cdot N_A \sim 70 \cdot 10^{-3}$  (Ω.cm)<sup>-1</sup>resistividad eléctrica  $\rho = 1/\sigma \sim 15$  Ω.cm

el substrato P conduce unas 20.000 veces mejor que el silicio puro

**conducción del pozo N** $N_D \sim 10^{16}$  áts.P/cm<sup>3</sup>movilidad eléctrica  $\mu_e \sim 1200$  cm<sup>2</sup>/V.sconductividad eléctrica  $\sigma = q \cdot \mu_e \cdot N_D \sim 2$  (Ω.cm)<sup>-1</sup>resistividad eléctrica  $\rho = 1/\sigma \sim 0,5$  Ω.cm

el pozo N conduce unas 30 veces mejor que el substrato P, ya que se encuentra 10 veces más dopado y conduce mediante electrones (cuya movilidad es 3 veces superior)

**conducción del polisilicio y de la difusión N** $N_D \sim 10^{20}$  áts.P/cm<sup>3</sup>movilidad eléctrica  $\mu_e \sim 100$  cm<sup>2</sup>/V.sconductividad eléctrica  $\sigma = q \cdot \mu_e \cdot N_D \sim 1600$  (Ω.cm)<sup>-1</sup>resistividad eléctrica  $\rho = 1/\sigma \sim 0,6$  mΩ.cm

polisilicio y difusión N conducen unas 1.000 veces mejor que el pozo N; en realidad tienen 10.000 veces más portadores pero la movilidad es 12 veces más pequeña, debido al gran número de impurezas en la red cristalina, las cuales atraen a los portadores mayoritarios, frenan su avance y aumentan el número de choques con la red cristalina

**conducción de la difusión P** $N_D \sim 10^{19}$  áts.P/cm<sup>3</sup>movilidad eléctrica  $\mu_h \sim 80$  cm<sup>2</sup>/V.sconductividad eléctrica  $\sigma = q \cdot \mu_h \cdot N_A \sim 130$  (Ω.cm)<sup>-1</sup>resistividad eléctrica  $\rho = 1/\sigma \sim 8$  mΩ.cm

la difusión P conduce unas 10 veces peor que la difusión N ya que la concentración de impurezas es menor

**conducción en el canal**

**Canal N:** movilidad superficial  $\mu_e \sim 600 \text{ cm}^2/\text{V.s}$

**Canal P:** movilidad superficial  $\mu_h \sim 200 \text{ cm}^2/\text{V.s}$

$$\mu_e / \mu_h \sim 3$$

**conducción en el metal**

Aluminio Al

conductividad eléctrica  $\sigma \sim 375 \cdot 10^3 (\Omega \cdot \text{cm})^{-1}$

resistividad eléctrica  $\rho \sim 2,65 \mu\Omega \cdot \text{cm}$

el aluminio conduce unas 250 veces mejor que el polisilicio

**resistencia de los contactos**

resistencia metal-difusión N o P  $\sim 10 \Omega$

resistencia metal-polisilicio  $\sim 5 \Omega$

las resistencias de contacto con las difusiones son mayores que con el polisilicio ya que aquéllas se encuentran a mayor distancia (más abajo) de la capa de metal

**ESPESORES**

Obviamente dependen mucho de la tecnología; se incluyen estos datos como referencia genérica.

oblea inicial de silicio dopado tipo P

diámetro: 90 - 125 mm      grosor: 0,5 mm = 500  $\mu\text{m}$

**POZO N**

espesor  $e_{\text{well}} \sim 5 \mu\text{m}$

**POLISILICIO**

espesor  $e_{\text{poli}} \sim 0,2 \mu\text{m}$

**DIFUSIÓN N**

profundidad  $e_N \sim 0,2 \mu\text{m}$

**DIFUSIÓN P**

profundidad  $e_P \sim 0,5 \mu\text{m}$  para compensar su menor conductividad

**ÓXIDO DE PUERTA**

espesor  $t_{\text{ox}} \sim 0,05 \mu\text{m} = 500 \text{ \AA}$

la tensión máxima que puede ser aplicada a la puerta sin riesgo de perforación del óxido está en relación con el espesor del mismo:

campo eléctrico máximo que soporta  $E_{\text{máx}} \sim 600 \text{ V}/\mu\text{m}$

voltaje de ruptura para  $t_{\text{ox}} \sim 50 \text{ nm}$ :  $V_{\text{máx}} = E_{\text{máx}} \cdot t_{\text{ox}} \sim 30 \text{ V}$

la reducción de dimensiones de los transistores tiende también a reducir el espesor del óxido de puerta para aumentar su transconductancia  $K_p$  y, con ella, la intensidad disponible, pero ha de tenerse en cuenta la limitación que óxidos de puerta muy finos representan en relación con su tensión de ruptura:

voltaje de ruptura para  $t_{\text{ox}} \sim 10 \text{ nm}$ :  $V_{\text{máx}} = E_{\text{máx}} \cdot t_{\text{ox}} \sim 6 \text{ V}$

solamente con tensiones de alimentación inferiores a 5 V puede reducirse el espesor del óxido de puerta al orden de 0,01  $\mu\text{m}$

**ÓXIDO DE CAMPO**

espesor  $e_{\text{ox,campo}} \sim 1 \mu\text{m}$

**ÓXIDO DE AISLAMIENTO**

espesor  $e_{\text{ox,aisl}} \sim 0,7 \mu\text{m}$

**ÓXIDO DE PASIVACIÓN**

capa exterior de óxido de silicio      espesor  $\sim 2 \mu\text{m}$

**METAL**

espesor  $e_{\text{Al}} \sim 0,5 \mu\text{m}$

**CAPACIDAD**

Las capacidades entre las diversas capas dependen fuertemente (proporción inversa) del espesor del óxido de silicio intermedio, los valores siguientes están en relación con los espesores de óxido indicados en la página anterior

**coeficiente dieléctrico del silicio**

coeficiente dieléctrico del vacío:  $\epsilon_0 = 8,85 \text{ pF/m}$

$\epsilon_{\text{Si}} = 117 \epsilon_0 \approx 100 \text{ pF/m} = 0,1 \text{ fF}/\mu\text{m}$        $1 \text{ fF} = 10^{-15} \text{ Faradios}$

**coeficiente dieléctrico del óxido de silicio**

$\epsilon_{\text{ox}} = 3,97 \epsilon_0 \approx 35 \text{ pF/m} = 0,035 \text{ fF}/\mu\text{m}$

►► **capacidad del óxido de puerta SiO<sub>2</sub>**

espesor  $t_{ox} \sim 0,05 \mu\text{m} = 500 \text{ \AA}$

coeficiente dieléctrico óxido de silicio  $\epsilon_{ox} = 0,035 \text{ fF}/\mu\text{m}$

$$C_{ox} = \epsilon_{ox} \cdot S / t_{ox} \sim 0,7 \text{ fF}/\mu\text{m}^2$$

□ □ **capacidad del óxido de campo**

espesor  $e_{ox,campo} \sim 1 \mu\text{m}$

efecto capacitivo (poli-substrato)  $C = \epsilon_{SiO2} \cdot S / e_{ox,campo} \sim 0,04 \text{ fF}/\mu\text{m}^2$

□ □ **capacidad del óxido de aislamiento o recubrimiento**

espesor  $e_{ox,aisl} \sim 0,7 \mu\text{m}$

efecto capacitivo (metal-polisilicio)  $C = \epsilon_{SiO2} \cdot S / e_{ox,aisl} \sim 0,06 \text{ fF}/\mu\text{m}^2$

efecto capacitivo metal-substrato  $C = \epsilon_{SiO2} \cdot S / (e_{ox,aisl} + e_{ox,campo}) \sim 0,02 \text{ fF}/\mu\text{m}^2$

►► **efecto capacitivo difusión N - substrato (unión NP en polarización inversa)**

- por área  $0,1 \text{ fF}/\mu\text{m}^2$

- por perímetro  $0,15 \text{ fF}/\mu\text{m}$

►► **efecto capacitivo difusión P - substrato (unión PN en polarización inversa)**

- por área  $0,6 \text{ fF}/\mu\text{m}^2$

- por perímetro  $0,4 \text{ fF}/\mu\text{m}$

MULTICAPA

**2 Metales**

el primero de ellos se hace más delgado: espesor  $e_{Al(1)} \sim 0,2 \mu\text{m}$

resistencia contacto metal-metal  $\sim 0,7 \mu\Omega$

separación entre ambos metales  $\sim 0,7 \mu\text{m}$

**2 Polisilicios**

separación entre ambos  $\sim 0,4 \mu\text{m}$

capacidad entre ambos  $C = \epsilon_{SiO2} \cdot S / (e_{ox,aisl}) \sim 0,1 \text{ fF}/\mu\text{m}^2$

Concentración relativa de átomos y portadores

1  $\mu\text{m}$  (una micra) es una unidad de medida muy adecuada en Microelectrónica. El siguiente cuadro expresa, en número por micra cúbica, las concentraciones de átomos y de portadores y permite comparar unas respecto a otras.

Transistor NMOS	número / $\mu\text{m}^3$	
átomos de Si red cristalina de Si puro	$10^{10}$ = 10.000 millones	
pares electrón-hueco a temperatura ambiente	1 cada $100 \mu\text{m}^3$	1 par e-h por cada $10^{12}$ átomos de Si
Substrato P	$10^3$ = 1.000 átomos	1 átomo de Boro por cada 10 millones de áts. de Si
portadores de carga en Substrato P	$10^3$	100.000 veces mayor que en el Silicio puro
Difusión N	$10^8$ = 100 millones	1 átomo de Fósforo cada 100 átomos de Si
portadores de carga en Difusión N	$10^8$	100.000 veces mayor que en el Substrato
Polisilicio	$10^8$ = 100 millones	dopado análogo al de Difusión N
<b>Transistor PMOS</b>		
Pozo N	$10^4$ = 10.000 átomos	10 veces más que Substrato P para cambiar su polaridad a N
Difusión P	$10^7$ = 10 millones	10 veces menor que Difusión N para no cambiar el dopado del Polisilicio

**Conductividad relativa**

Consideremos un cable de 1 m de largo y de 1 mm<sup>2</sup> de sección construido con cada uno de los materiales siguientes; el cuadro que viene a continuación expresa su resistencia para los diversos materiales semiconductores que entran a formar parte de la integración CMOS:

$$R = \rho \cdot \frac{\text{Longitud}}{\text{Sección}}$$

Silicio puro	= 3.000 MΩ	
Substrato P	= 150 KΩ.	conduce 20.000 veces mejor que el Silicio puro.
Substrato N (Pozo)	= 5 KΩ	conduce 30 veces mejor que el Substrato.
Difusión N (Transistor NMOS)	= 6 Ω	conduce 800 veces mejor que el pozo N.
Difusión P (Transistor PMOS)	= 80 Ω	conduce 12 veces peor que la Difusión N.
Polisilicio	= 6 Ω.	conduce igual que la Difusión N.
Aluminio	= 26 mΩ	conduce 230 veces mejor que el Polisilicio.

**Resistencia por cuadro**

La resistencia de un cuadrado es independiente del lado del mismo, ya que se compensa longitud con anchura:  $R = \rho \cdot \frac{\text{longitud}}{\text{sección}} = \rho \cdot \frac{L}{L \cdot \text{espesor}} = \frac{\rho}{\text{espesor}}$ .

En los circuitos integrados, la resistencia por cuadro es un parámetro muy útil que permite calcular la resistencia que presenta cualquier línea de conexión.

Línea de:	Resistencia por cuadro
Pozo	$R_{\square} = 1 \text{ K}\Omega$
Difusión N	$R_{\square} = 30 \Omega$
Difusión P	$R_{\square} = 160 \Omega$
Polisilicio	$R_{\square} = 30 \Omega$
Aluminio	$R_{\square} = 50 \text{ m}\Omega$

**Capacidad por mm<sup>2</sup>**

Para construir un condensador en un circuito integrado analógico, puede aprovecharse la capacidad que presentan las diversas parejas de elementos conductores; este cuadro muestra el orden de magnitud de la capacidad que presenta un condensador

de 1 mm<sup>2</sup> de superficie:  $C = \epsilon \cdot \frac{\text{Superficie}}{\text{espesor}}$

(los valores se refieren a los espesores de las capas de óxido indicados anteriormente)

Placas del condensador	capacidad por mm <sup>2</sup>
Polisilicio - Substrato (zona de puerta MOS)	= 700 pF
Polisilicio - Substrato (sobre óxido de campo)	= 35 pF
Metal - Polisilicio	= 50 pF
Metal - Substrato	= 20 pF
Metal2 - Metal1	= 50 pF
Polisilicio - Polisilicio	= 90 pF