

20 SISTEMAS CON ARQUITECTURA DE BUS

- 20.1. Memoria en sentido amplio
- 20.2. Configuración circuital de mapas de memoria
- 20.3. Ciclos de lectura y de escritura: tiempos de acceso
- 20.4. Problemas relativos a los buses: adaptadores de bus

La arquitectura basada en buses (datos y direcciones), que determina una división estructural entre procesador y memoria, sirve también para organizar las transferencias de información con el exterior.

De esta forma la memoria engloba, no sólo los registros que conservan la información (datos y resultados intermedios) sino, también, aquellos registros a través de los cuales se envía información al exterior o se recibe información externa (salidas y entradas). La memoria incluye dos unidades de diferente funcionalidad: la unidad de almacenamiento de información y la unidad de comunicación con el exterior.

De manera que los elementos de memoria son diversos: **RAM**, **ROM**, registros de salida, adaptadores de entradas, adaptadores de periféricos,... Para el procesador, cualquier elemento de memoria no es sino un conjunto de registros numerados (en ocasiones un registro individual con su número), a los que puede acceder a través del bus de datos, seleccionando cada registro concreto por su número, a través del bus de direcciones.

Este capítulo, después de considerar en detalle tales elementos de memoria, trata de la forma de situarlos adecuadamente en el mapa de memoria, de manera que el procesador pueda escribir o leer sobre los correspondientes registros mediante su número. También se estudian las formas de onda y requisitos temporales (tiempos de acceso y de habilitación) necesarios para ejecutar un ciclo de lectura o de escritura sobre los diversos elementos de memoria.

Por último, se consideran las cuestiones específicas que afectan a los buses: la necesidad de no retrasar las señales y la de proporcionar intensidades relativamente altas. En ocasiones resulta necesario amplificar la intensidad disponible mediante «adaptadores de bus», que, en el caso del bus de datos, han de ser bidireccionales.

Las exigencias de velocidad e intensidad en los buses dan lugar a la utilización de series específicas de circuitos integrados: lógica «interbus», de muy bajos tiempos de propagación y altas intensidades de salida; en particular, resulta muy apropiada la tecnología **BiCMOS**, desarrollada precisamente para esta clase de aplicaciones aprovechando las ventajas de ambos tipos de transistores (bipolares y **MOS**).

Una útil referencia bibliográfica: como complemento a este capítulo, un libro dedicado a sistemas con microprocesadores, que recoge una amplia diversidad de aspectos relativos a memorias, periféricos y mapas de memoria, es el texto de Bonifacio Martín del Brio, **Sistemas electrónicos basados en microprocesadores y microcontroladores**, publicado en esta misma colección de Textos Docentes, nº 61. *Prensas Universitarias de Zaragoza. 1999.*

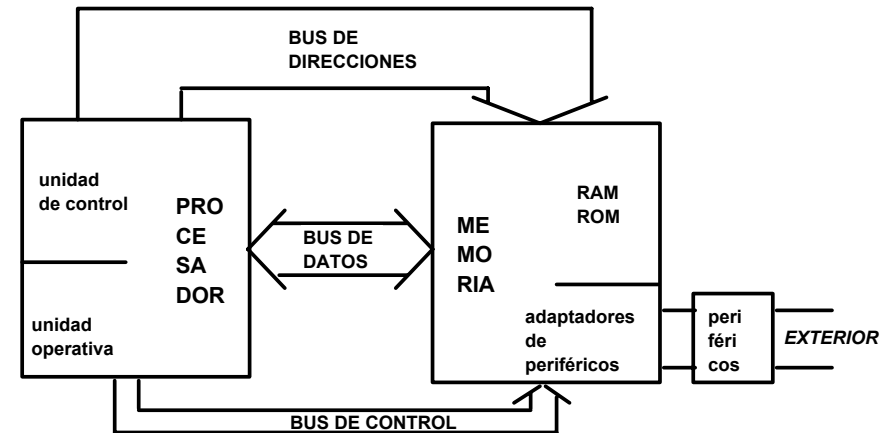
20.1. Memoria en sentido amplio

La combinación estructural de bus de datos y bus de direcciones organiza no solamente el almacenamiento de información sino también la comunicación de la misma con el exterior. Ambas funciones se refieren a transferencia de información: en un caso, transferencia a memoria para su utilización posterior (transferencia en el tiempo) y, en el otro, transferencia hacia el exterior (transferencia en el espacio).

La memoria de un circuito digital complejo, como concepto genérico, engloba a todo tipo de registros de los que se extrae directamente o a los que se envía directamente información digital. En este sentido, el concepto de memoria incluye no sólo a los registros de trabajo donde se memorizan datos y resultados (generalmente englobados en bloques de tipo **RAM**), sino también a los registros de información fija que contienen tablas de valores o programas (como pueden ser los bloques **ROM**) y a los registros de adaptación de entradas y de salidas del circuito (adaptadores de periféricos).

De esta forma un sistema digital complejo puede dividirse, conceptualmente, en dos partes diferenciadas:

- el procesador que controla el proceso y efectúa las operaciones pertinentes
- y la memoria o conjunto amplio de registros que memorizan, reciben o envían la información, es decir, que realizan la transferencia de información.



Este concepto amplio de memoria engloba dos unidades claramente diferenciadas por su finalidad operativa:

- la unidad de memoria, como lugar de almacenamiento de la información disponible,
- y la unidad de entradas/salidas, como conjunto de periféricos que comunican con el exterior.

La comunicación con el exterior se realiza a través de registros adaptadores de salida que presentan la información hacia un periférico (visualizador, convertor D/A, impresora, monitor, módem, etc.) o a través de adaptadores de entrada, asimilables conceptualmente a registros, que reciben la información desde el periférico (teclado, pulsadores o conmutadores, convertor A/D, módem, etc.). Desde su punto de vista, el procesador se encuentra con un conjunto de registros (generalmente unidireccionales) que, posteriormente, se comunican con un periférico a través del cual reciben o transmiten información respecto al exterior.

Para el procesador todo lo demás son registros, seleccionables (a través del bus de direcciones) por su número dentro del mapa de memoria, y sobre los cuales escribe o lee, a través del bus de datos, información contenida en palabras binarias.

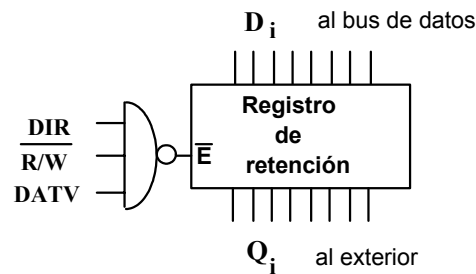
Los buses de datos y direcciones, no solamente dividen al sistema en dos partes estructurales (procesador, memoria), sino que permiten dividir la memoria en elementos constituidos por conjuntos de registros (o registros individuales) que ocupan los correspondientes sectores del mapa de memoria.

La unidad de memoria propiamente dicha, esto es, el conjunto de registros de trabajo del procesador (almacenamiento de información), estará constituida por integrados **RAM**, capaces de memorizar datos y resultados operativos, y por circuitos integrados **ROM**, con registros «de sólo lectura» cuya información es fija.

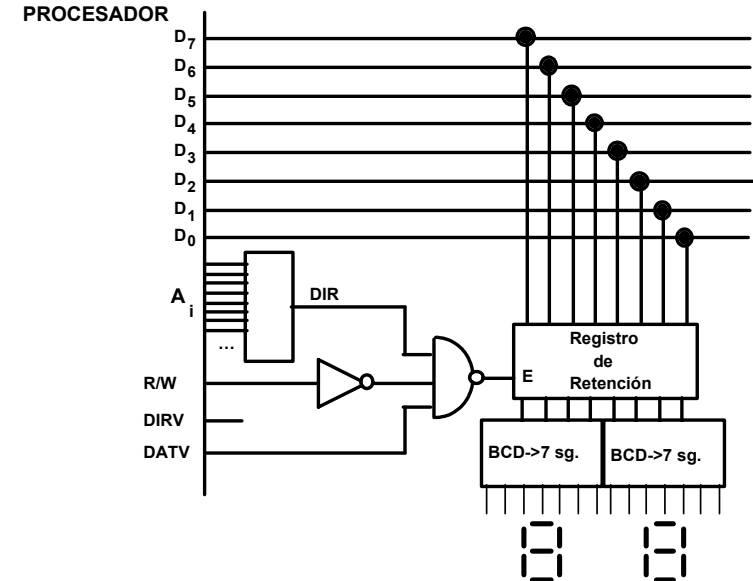
Otra parte diferenciada de la memoria está formada por los registros de adaptación de periféricos, configurando la unidad de entradas/salidas del sistema; tales registros suelen ser unidireccionales, distinguiéndose entre los registros de salida y los adaptadores de entrada.

Los registros de salida serán del tipo de registros de retención (*latch memory*), conformados por *n* biestables con una entrada de habilitación común **E**, la cual será activada al realizar una operación de escritura sobre la dirección que ocupa el registro en el mapa de memoria **DIR**; tales registros han de habilitarse al enviar la correspondiente dirección **DIR**, cuando la operación es de escritura **R/W = 0** y una vez que el dato es válido **DATV = 1**.

$$E = DIR \cdot \overline{R/W} \cdot DATV$$

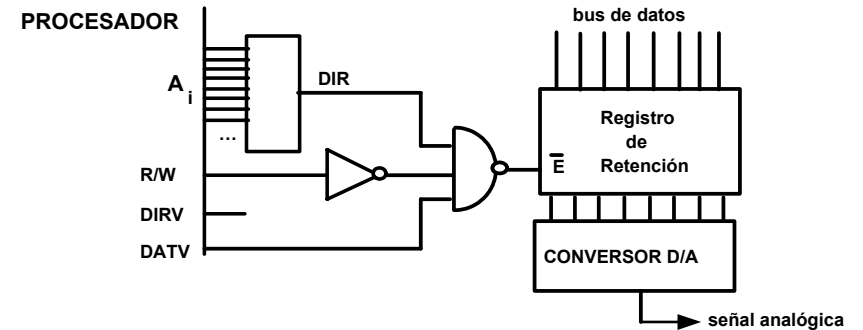


La figura siguiente representa un ejemplo de periférico de salida muy simple: se trata de un visualizador de dos cifras decimales adaptado al bus de datos, a través de un registro de salidas y de los correspondientes decodificadores de BCD a 7 segmentos; cuando el procesador efectúa una operación de escritura sobre la dirección ocupada por dicho registro (**DIR, R/W = 0, DATV = 1**), éste recibe por el bus de datos dos cifras BCD que quedan permanentemente representadas en los visualizadores de 7 segmentos.



Periférico que permite la visualización de dos cifras decimales

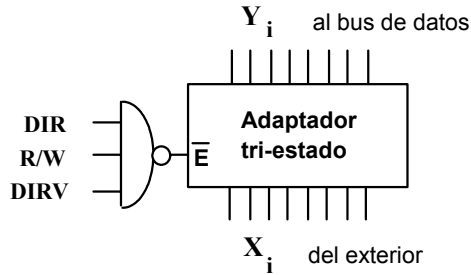
Si las salidas del registro se conectan a un convertor digital/análogo, la salida de éste proporcionará la señal de tensión que corresponde a los sucesivos valores numéricos que el procesador escriba sobre la dirección de memoria correspondiente; de esta forma, el procesador puede generar una determinada onda o una señal de referencia.



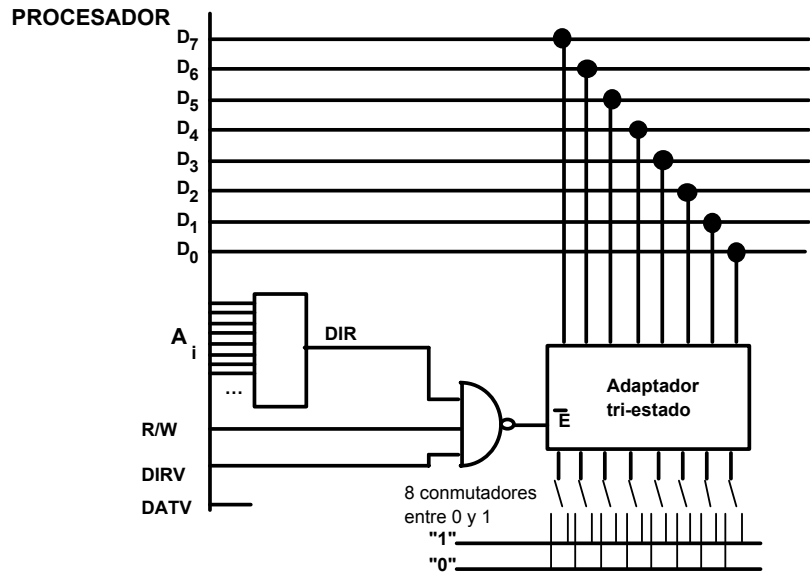
Periférico que permite la generación de una señal analógica

Los adaptadores de entrada serán simples adaptadores tri-estado (*buffers*) que, al ser seleccionados en una operación de lectura, vuelcan sobre el bus de datos los valores booleanos presentes en sus entradas; su habilitación ha de producirse cuando la operación es de lectura $R/W = 1$ sobre la correspondiente dirección DIR , una vez que se valide dicha dirección como correcta $DIRV = 1$.

$$E = DIR \cdot R/W \cdot DIRV$$

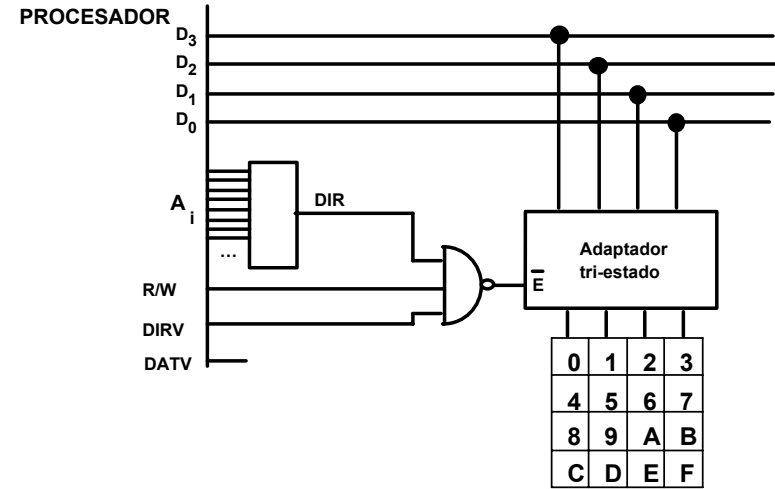


La siguiente figura representa un periférico de entrada muy simple constituido por ocho conmutadores, conectados al bus de datos a través de un adaptador de entradas; cuando el procesador efectúa una operación de lectura sobre la dirección ocupada por dicho adaptador (DIR , $R/W = 1$, $DATV = 1$), éste resulta habilitado, comunicando al procesador los valores booleanos fijados sobre los conmutadores.



Periférico que permite leer el estado de 8 conmutadores

Un circuito análogo al anterior sería el correspondiente a un teclado hexadecimal o decimal o a un conmutador BCD, que necesitará solamente 4 líneas del bus de datos.

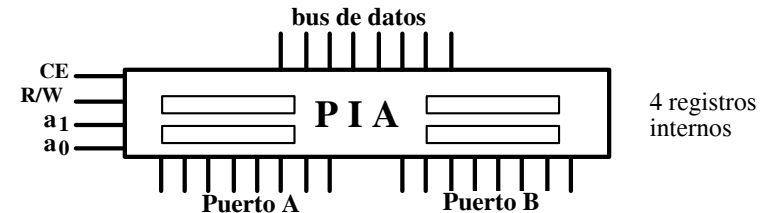


Periférico que permite leer un teclado hexadecimal

Otro tipo de adaptadores de entrada lo constituyen los registros de retención con salida tri-estado, los cuales pueden memorizar una palabra binaria en cualquier momento y transferirla al bus de datos cuando su salida sea habilitada.

Los adaptadores anteriores son de tipo unidireccional, para conectar periféricos de entrada o de salida; existen muchos otros tipos de adaptadores de propósito particular para periféricos específicos y, también, existen adaptadores de tipo genérico, dotados de una cierta programación de su funcionamiento. Como integrantes de la memoria, tales adaptadores equivalen, desde el punto de vista del procesador, a reducidos conjuntos de registros, algunos de ellos unidireccionales.

Un ejemplo de adaptadores de entradas/salidas de tipo genérico es el bloque **PIA** (*Peripheral Interface Adapter*) que ofrece dos puertos de 8 líneas, las cuales pueden ser configuradas como líneas de entrada o de salida y contiene 4 registros: dos de ellos para la transferencia de información (uno para cada puerto) y los otros dos para determinar si las líneas actúan como entradas o como salidas; por tanto, este bloque ocupa 4 posiciones de memoria.



20.2. Configuración circuital de un mapa de memoria

Se pretende en este apartado abordar el diseño del circuito necesario para que los diversos circuitos integrados que constituyen la memoria de un procesador, incluidos los adaptadores de periféricos, queden situados en las direcciones que les corresponden, es decir, la realización circuital de un mapa de memoria.

Por lo general no suele utilizarse la capacidad total de la memoria, es decir, no suelen ocuparse todas las posiciones de memoria que el bus de direcciones permite numerar, sino que puede quedar un buen número de posiciones vacías; ello permite elegir de entre los posibles mapas de memoria el que resulte más sencillo en cuanto al circuito necesario para su realización.

En los ejercicios que siguen se utiliza un bus de direcciones de 16 líneas y 3 líneas de control: lectura/escritura **R/W**, validación de dirección **DIRV** y validación del dato en la escritura **DATV** (se supone que cuando **DATV = 1**, también **DIRV = 1**); los circuitos integrados utilizados son:

- bloques **RAM** de 2K x 8 (entradas de control \overline{CE} , \overline{WE} y \overline{OE}),
- bloques **ROM** de 2K x 8 (entradas de control \overline{CE} y \overline{OE}),
- registros de salida de 8 biestables (entrada de habilitación \overline{E})
- y adaptadores de entrada de 8 líneas (entrada de habilitación \overline{E}).

20.2.1. Caso de una memoria reducida: sea una memoria con un circuito integrado RAM de 2K, otro ROM también de 2K, un registro de salida y un adaptador de entrada, es decir, un solo elemento de memoria de cada tipo; la memoria RAM debe situarse al inicio del mapa de memoria y la ROM al final del mismo.

a) Configuración de los 4 elementos con ocupación mínima del mapa de memoria

Los integrados RAM y ROM requieren 11 líneas de direccionamiento **a10 - a0** para los 2K registros que contienen; quedan 5 líneas disponibles **A15 - A11** para la selección de estos circuitos integrados que deben situarse, respectivamente, al inicio y al final del mapa de memoria:

A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0 0 0 0 H
0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	0 7 F F H
0	0	0	0	0	-	-	-	-	-	-	-	-	-	-	-	0000 - 07FF
1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	F 8 0 0 H
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	F F F F H
1	1	1	1	1	-	-	-	-	-	-	-	-	-	-	-	F800 - FFFF

El registro de salida **RS** y el adaptador de entrada **AE** pueden situarse en una misma dirección de memoria, accediendo al segundo en las operaciones de lectura y al primero en las de escritura; supongamos que los ubicamos en la posición **8000H**:

$$1 \ 0 \ 0 \ 0 \quad 0 \ 0 \ 0 \ 0 \quad 0 \ 0 \ 0 \ 0 \quad 0 \ 0 \ 0 \ 0 \quad 8 \ 0 \ 0 \ 0 \ H.$$

De acuerdo con los sectores del mapa de memoria indicados, las habilitaciones de los cuatro componentes de la memoria serán:

$$\begin{aligned} \text{RAM: CE} &= \overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} \cdot \overline{A_{11}} \cdot \text{DIRV} \\ \text{WE} &= \overline{R/W} \cdot \text{DATV}; \quad \text{OE} = R/W \\ a_{10} - a_0 &= A_{10} - A_0 \end{aligned}$$

$$\begin{aligned} \text{ROM: CE} &= A_{15} \cdot A_{14} \cdot A_{13} \cdot A_{12} \cdot A_{11} \cdot \text{DIRV} \quad \text{OE} = R/W \\ a_{10} - a_0 &= A_{10} - A_0 \end{aligned}$$

AE (adaptador de entradas):

debe habilitarse en la posición **8000H** cuando la operación sea de lectura:

$$E = A_{15} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} \cdot \overline{A_{11}} \cdot \overline{A_{10}} \cdot \overline{A_9} \cdot \overline{A_8} \cdot \overline{A_7} \cdot \overline{A_6} \cdot \overline{A_5} \cdot \overline{A_4} \cdot \overline{A_3} \cdot \overline{A_2} \cdot \overline{A_1} \cdot \overline{A_0} \cdot R/W \cdot \text{DIRV}$$

RS (registro de salidas):

debe habilitarse en **8000H** cuando la operación sea de escritura y el dato sea válido:

$$E = A_{15} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} \cdot \overline{A_{11}} \cdot \overline{A_{10}} \cdot \overline{A_9} \cdot \overline{A_8} \cdot \overline{A_7} \cdot \overline{A_6} \cdot \overline{A_5} \cdot \overline{A_4} \cdot \overline{A_3} \cdot \overline{A_2} \cdot \overline{A_1} \cdot \overline{A_0} \cdot R/W \cdot \text{DATV}$$

Estas funciones pueden ser programadas sobre un bloque **PAL** (de un amplio número de entradas; se utilizan 19 de ellas: A15 - A0, R/W, DIRV y DATV).

b) Configuración de los 4 elementos con circuito de posicionamiento reducido

Los cuatro elementos de memoria presentes pueden ser reducidos a tres, al situar el registro de salida **RS** y el adaptador de entrada **AE** en la misma dirección de memoria; para discriminar entre los tres elementos (**RAM, ROM, RS-AE**) resultantes bastan dos líneas de direccionamiento **A15** y **A14**:

A15 = 1	A14 = 1	Bloque ROM en posiciones finales de memoria
A15 = 1	A14 = 0	Registro de salida RS y adaptador de entrada AE
A15 = 0	A14 = X	Bloque RAM en posiciones iniciales.

Con esta asignación de valores a las líneas **A15** y **A14** resulta que:

a) el integrado **ROM** ocupa todo el sector de memoria numerado por

$$1 \ 1 \ X \ X \quad X \ - \ - \ - \quad - \ - \ - \ - \quad - \ - \ - \ - \quad \text{C000} - \text{FFFF}$$

que supone una ocupación de 16K de memoria (14 líneas); el signo - indica que dichas posiciones se encuentran ocupadas por registros del bloque y el signo X indica que tales líneas del bus de direcciones no son utilizadas.

b) el integrado **RAM** ocupa el sector numerado por

0 X X X X - - - - - 0000 - 7FFF
ocupando 32K de memoria (15 líneas)

c) y los dos adaptadores, aun cuando constituyen una sola posición de memoria, se encuentran en todo el sector numerado por

1 0 X X X X X X X X X X X X X X 8000 - BFFF
que corresponde a una ocupación de 16K de memoria (14 líneas).

El símbolo **X** significa que «no importa» el valor booleano presente en dicha línea, ya que tales líneas no se utilizan en la selección de registros del correspondiente elemento, y el signo - indica que dicha línea direcciona registros internos del bloque integrado.

En suma, en esta configuración (*decodificación parcial*) los registros no se encuentran unívocamente direccionados en una sola posición, sino que aparecen en varias posiciones distintas (por ejemplo, cada adaptador, que en realidad es un solo registro, llega a ocupar 16K posiciones de memoria). Ello es debido a que no se han utilizado todas las líneas del bus de direcciones para situar cada elemento de memoria, lo cual supone un gran desperdicio de posiciones de memoria (al ocupar un mismo registro múltiples posiciones), pero resulta admisible por cuanto que solamente se precisa utilizar una parte reducida de la capacidad total de la memoria.

Dentro de la multiplicidad de posiciones que corresponden a un mismo registro puede elegirse un mapa de memoria concreto, conviniendo una asignación unívoca que constituirá el mapa de memoria con el que trabajará el procesador:

RAM	de	0000 0000 0000 0000	=	0 0 0 0 H
	hasta	0000 0111 1111 1111	=	0 7 F F H
RS-AE	en	1000 0000 0000 0000	=	8 0 0 0 H
ROM	de	1111 1000 0000 0000	=	F 8 0 0 H
	hasta	1111 1111 1111 1111	=	F F F F H

Las condiciones booleanas de habilitación, incluyendo las líneas de control, son las siguientes:

$$\text{RAM: CE} = \overline{A_{15}} \cdot \text{DIRV} \quad \text{WE} = \overline{R/W} \cdot \text{DATV}; \quad \text{OE} = \text{R/W}$$

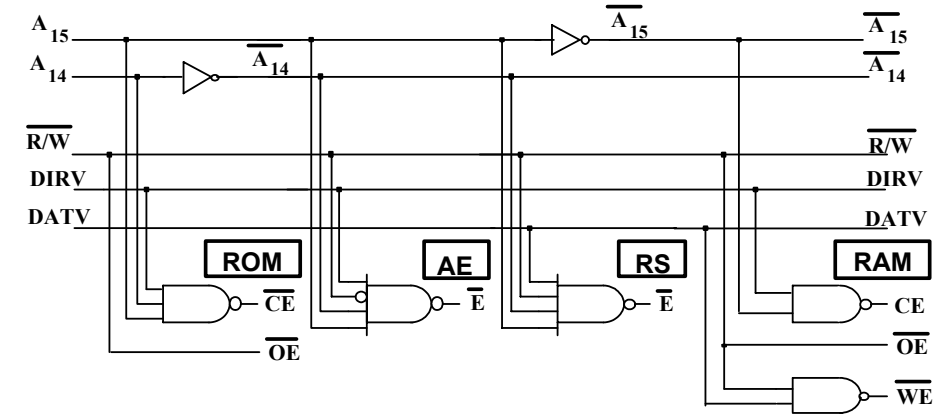
$$a_{10} - a_0 = A_{10} - A_0$$

$$\text{ROM: CE} = A_{15} \cdot A_{14} \cdot \text{DIRV} \quad \text{OE} = \text{R/W}$$

$$a_{10} - a_0 = A_{10} - A_0$$

$$\text{AE (adaptador de entradas): } E = A_{15} \cdot \overline{A_{14}} \cdot \text{R/W} \cdot \text{DIRV}$$

$$\text{RS (registro de salidas): } E = A_{15} \cdot \overline{A_{14}} \cdot \overline{R/W} \cdot \text{DATV}$$



Ha de tenerse en cuenta que las entradas de control de los elementos de memoria utilizados se activan con valor booleano **0**, lo cual hace que las anteriores funciones booleanas conduzcan directamente a puertas "y-negada" (*Nand*).

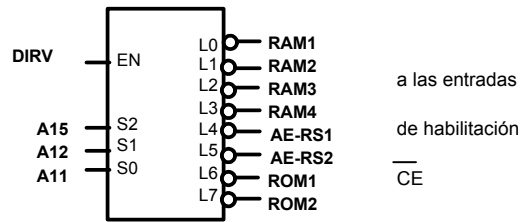
Todas las puertas de direccionamiento deben ser muy rápidas a fin de minimizar los retrasos en las señales de habilitación y, con ello, asegurar que se cumplen los diversos tiempos exigidos por los ciclos de lectura y de escritura sobre los elementos de memoria.

20.2.2. Caso de una memoria de tipo medio: una memoria con 8 K de RAM (en bloques integrados de 2 K), 4 K de ROM (también en bloques de 2 K), 2 registros de salida y 2 adaptadores de entrada; la memoria RAM al inicio del mapa de memoria y la ROM al final del mismo.

Los 10 elementos de memoria citados pueden ser reducidos a 8 elementos diferenciados ya que los registros de salida y los adaptadores de entrada pueden ser colocados sobre las mismas posiciones de memoria.

Los bloques de 2 K requieren 11 líneas para el direccionamiento de sus registros **a10 - a0** y para situar conjuntamente los cuatro circuitos integrados **RAM** se requieren dos líneas más **A11** y **A12**, a fin de que los cuatro bloques ocupen sectores sucesivos de memoria. Para seleccionar los 8 elementos diferenciados de memoria se requieren tres líneas de direccionamiento, dos de las cuales han de ser **A11** y **A12**, según lo anterior, y la tercera línea puede ser cualquiera de las otras tres superiores (por ejemplo **A15**).

Un decodificador de 8 líneas proporciona directamente la discriminación entre los bloques; dado que las líneas de habilitación de los mismos se activan con valor **0** ha de utilizarse un decodificador con salidas negadas y su entrada de habilitación se condiciona con la validación de la dirección **DIRV**.



Con ello puede asignarse el siguiente mapa de memoria:

RAM1	de	0000 0000 0000 0000	=	0 0 0 0 H
	hasta	0000 0111 1111 1111	=	0 7 F F H
RAM2	de	0000 1000 0000 0000	=	0 8 0 0 H
	hasta	0000 1111 1111 1111	=	0 F F F H
RAM3	de	0001 0000 0000 0000	=	1 0 0 0 H
	hasta	0001 0111 1111 1111	=	1 7 F F H
RAM4	de	0001 1000 0000 0000	=	1 8 0 0 H
	hasta	0001 1111 1111 1111	=	1 F F F H
RS-AE1	en	1000 0000 0000 0000	=	8 0 0 0 H
RS-AE2	en	1000 1000 0000 0000	=	8 8 0 0 H
ROM1	de	1111 0000 0000 0000	=	F 0 0 0 H
	hasta	1111 0111 1111 1111	=	F 7 F F H
ROM2	de	1111 1000 0000 0000	=	F 8 0 0 H
	hasta	1111 1111 1111 1111	=	F F F F H

Es claro que este mapa de memoria no es único, pues no se han utilizado todas las líneas para direccionar cada bloque; obsérvese que a las líneas **A14** y **A13**, que no son utilizadas se les asigna arbitrariamente valor **0** en el caso de los bloques **RAM** para situarlos al inicio de memoria y, en cambio, se les asigna valor **1** para los bloques **ROM** a fin de ubicarlos al final.

Cada registro, según este direccionamiento, ocupa múltiples posiciones de memoria: en el caso de los registros de los bloques **RAM** o **ROM**, cada registro ocupa 4 posiciones separadas de memoria, resultantes de dar valores a las líneas **A14** y **A13**; pero en el caso de los adaptadores de entrada/salida, cada uno de ellos ocupa 8K posiciones de memoria:

RS-AE1 en **1XX0 0XXX XXXX XXXX**
 ocupa los sectores **8000 - 87FF**, **A000 - A7FF**, **C000 - C7FF** y **E000 - E7FF**

RS-AE2 en **1XX0 1XXX XXXX XXXX**
 ocupa los sectores **8800 - 8FFF**, **A800 - AFFF**, **C800 - CFFF** y **E800 - EFFF**.

La conexión de las entradas de control de los diversos circuitos integrados que constituyen la memoria se completa en la forma siguiente:

RAM: La salida correspondiente del decodificador se conecta a la habilitación global \overline{CE} , mientras que las otras dos entradas de habilitación \overline{OE} y \overline{WE} han de conectarse a $\overline{R/W}$ y a $R/W \cdot \overline{DATV}$, respectivamente; las entradas de direcciones se conectan a las correspondientes líneas del bus $a_{10} - a_0 = A_{10} - A_0$.

ROM: La salida del decodificador se conecta a la habilitación \overline{CE} y la otra entrada de habilitación \overline{OE} a $\overline{R/W}$; las entradas de direcciones se conectan a las correspondientes líneas del bus $a_{10} - a_0 = A_{10} - A_0$.

AE (adaptadores de entradas): Cada uno de ellos debe habilitarse cuando la línea del decodificador que le corresponde **L4** o **L5** se encuentra a **0** y la operación es la lectura $R/W = 1$: $\overline{E} = \overline{L_i} \cdot \overline{R/W} = L_i + \overline{R/W}$.

RS (registros de salidas): Su habilitación debe tener lugar para **L_i = 0**, **R/W = 0** (operación de escritura) y **DATV = 1** (dato válido):
 $\overline{E} = \overline{L_i} \cdot \overline{R/W} \cdot \overline{DATV} = L_i + \overline{R/W} \cdot \overline{DATV}$.

Resulta fácil incluir nuevos registros de salida o adaptadores de entrada en el esquema anterior; consideremos concretamente la forma de añadir un tercer registro de salida **RS3** a partir de la línea de habilitación de **RS1** (**L4**), desdoblándola en dos a través de su combinación con la primera línea de direccionamiento **A0**.

RS1 deberá habilitarse cuando **L4 = 0** y **A0 = 0**

$$\overline{E} = \overline{L_4} \cdot \overline{A_0} \cdot \overline{R/W} \cdot \overline{DATV} = L_4 + A_0 + \overline{R/W} \cdot \overline{DATV}$$

RS3 lo hará cuando **L4 = 0** y **A0 = 1**

$$\overline{E} = \overline{L_4} \cdot A_0 \cdot \overline{R/W} \cdot \overline{DATV} = L_4 + \overline{A_0} + \overline{R/W} \cdot \overline{DATV}$$

Con ello el registro **RS1** conserva su anterior dirección **8 0 0 0 H** y el registro añadido **RS3** queda situado en la siguiente **8 0 0 1 H** (**A0 = 1**).

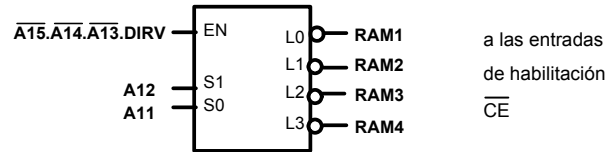
20.2.3. El mismo caso anterior de una memoria de tipo medio, pero con ocupación mínima del mapa de memoria

Consideremos los 8 elementos de memoria del caso anterior con el mismo mapa:

RAM (4)	de	0000 0000 0000 0000	=	0 0 0 0 H
	hasta	0001 1111 1111 1111	=	1 F F F H
RS-AE1	en	1000 0000 0000 0000	=	8 0 0 0 H
RS-AE2	en	1000 1000 0000 0000	=	8 8 0 0 H
ROM (2)	de	1111 0000 0000 0000	=	F 0 0 0 H
	hasta	1111 1111 1111 1111	=	F F F F H

Los 4 bloques RAM de 2 K pueden situarse al comienzo del mapa mediante un decodificador de 4 líneas de salida, con entradas **A11** y **A12**, habilitado con la función:

$$E = \overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{DIRV}$$



a las entradas de habilitación \overline{CE}

Cada adaptador de entrada/salida ocupa una sola posición de memoria y requiere, para ello, de las 16 líneas de direccionamiento en su habilitación:

$$E(\overline{AE1}) \text{ (posición de memoria } 8000H) = \overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} \cdot \overline{A_{11}} \cdot \overline{A_{10}} \cdot \overline{A_9} \cdot \overline{A_8} \cdot \overline{A_7} \cdot \overline{A_6} \cdot \overline{A_5} \cdot \overline{A_4} \cdot \overline{A_3} \cdot \overline{A_2} \cdot \overline{A_1} \cdot \overline{A_0} \cdot R / W \cdot \overline{DIRV}$$

$$E(\overline{RS1}) \text{ (misma posición de memoria } 8000H) = \overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} \cdot \overline{A_{11}} \cdot \overline{A_{10}} \cdot \overline{A_9} \cdot \overline{A_8} \cdot \overline{A_7} \cdot \overline{A_6} \cdot \overline{A_5} \cdot \overline{A_4} \cdot \overline{A_3} \cdot \overline{A_2} \cdot \overline{A_1} \cdot \overline{A_0} \cdot R / W \cdot \overline{DATV}$$

$$E(\overline{AE2}) \text{ (posición de memoria } 8800H) = \overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} \cdot \overline{A_{11}} \cdot \overline{A_{10}} \cdot \overline{A_9} \cdot \overline{A_8} \cdot \overline{A_7} \cdot \overline{A_6} \cdot \overline{A_5} \cdot \overline{A_4} \cdot \overline{A_3} \cdot \overline{A_2} \cdot \overline{A_1} \cdot \overline{A_0} \cdot R / W \cdot \overline{DIRV}$$

$$E(\overline{RS2}) \text{ (misma posición de memoria } 8800H) = \overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} \cdot \overline{A_{11}} \cdot \overline{A_{10}} \cdot \overline{A_9} \cdot \overline{A_8} \cdot \overline{A_7} \cdot \overline{A_6} \cdot \overline{A_5} \cdot \overline{A_4} \cdot \overline{A_3} \cdot \overline{A_2} \cdot \overline{A_1} \cdot \overline{A_0} \cdot R / W \cdot \overline{DATV}$$

Y los dos bloques de memoria ROM para situarse al final del mapa de memoria:

$$E(\overline{ROM1}) \text{ (posiciones de memoria } 11110\text{---}) = \overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} \cdot \overline{A_{11}} \cdot \overline{DIRV}$$

$$E(\overline{ROM2}) \text{ (posiciones de memoria } 11111\text{---}) = \overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} \cdot \overline{A_{11}} \cdot \overline{DIRV}$$

Estas funciones de habilitación y, también, la habilitación del decodificador de las memorias RAM pueden ser programadas sobre un bloque PAL.

20.2.4. Posicionamiento de 4 adaptadores de periféricos: se desea situar 4 adaptadores PIA (cada uno de ellos tiene 4 registros y, por tanto, dos líneas de direccionamiento) a partir de la posición **B000H** del mapa.

Cada PIA requiere 2 líneas de direccionamiento **a1 a0** y para situar conjuntamente las cuatro se requieren dos líneas más **A3** y **A2**, a fin de que ocupen sectores sucesivos de memoria.

La ocupación de los 4 adaptadores será la siguiente:

1 0 1 1	0 0 0 0	0 0 0 0	0 0 - -	B000 – B003
1 0 1 1	0 0 0 0	0 0 0 0	0 1 - -	B004 – B007
1 0 1 1	0 0 0 0	0 0 0 0	1 0 - -	B008 – B00B
1 0 1 1	0 0 0 0	0 0 0 0	1 1 - -	B00C – B00F

Un decodificador de 4 líneas permite situar los cuatro adaptadores, tomando como entradas las líneas **A3** y **A2**; la habilitación del decodificador deberá ser:

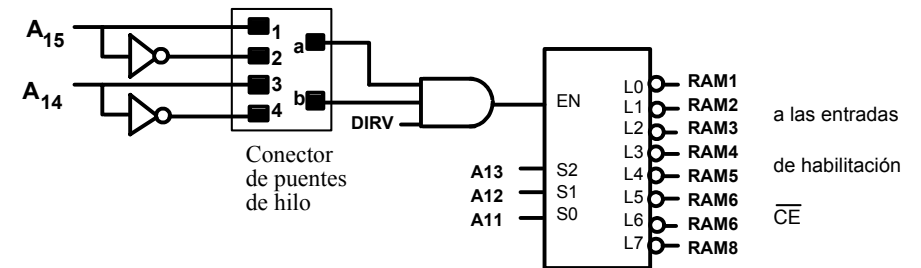
$$E = \overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} \cdot \overline{A_{11}} \cdot \overline{A_{10}} \cdot \overline{A_9} \cdot \overline{A_8} \cdot \overline{A_7} \cdot \overline{A_6} \cdot \overline{A_5} \cdot \overline{A_4} \cdot \overline{DIRV}$$

20.2.5. Placa de memoria RAM de 16K y direccionamiento versátil: se trata de diseñar una placa de 16K de memoria RAM con circuitos integrados de 2K, que pueda ser posicionada en cualquiera de los cuatro posibles sectores de 16 K (0000-3FFF, 4000-7FFF, 8000-BFFF, C000-FFFF).

Cada bloque RAM de 2 K requiere 11 líneas de direccionamiento **a10 - a0** y para agrupar los ocho bloques que configuran 16K se requieren tres líneas de direcciones más **A13 A12 A11**; quedan dos líneas **A15** y **A14** con las cuales puede situarse globalmente la placa en los cuatro sectores de memoria indicados.

Un decodificador de 8 líneas permite discriminar entre los 8 bloques integrados RAM; la selección del sector en que se sitúa globalmente la placa se realiza mediante un conector de puentes de hilo, que permite condicionar la habilitación del decodificador con los valores de las líneas **A15** y **A14**:

A15 = 0 y A14 = 0 : 0000-3FFF	A15 = 1 y A14 = 0 : 8000-BFFF
A15 = 0 y A14 = 1 : 4000-7FFF	A15 = 1 y A14 = 1 : C000-FFFF



La línea **DIRV** evita direccionamientos falsos y los puentes de hilo del conector determinan el sector de memoria en el que se sitúa globalmente la placa:

conexión **1-a** y **3-b**: **C000-FFFF** conexión **1-a** y **4-b**: **8000-BFFF**
 conexión **2-a** y **3-b**: **4000-7FFF** conexión **2-a** y **4-b**: **0000-3FFF**.

Las otras dos entradas de habilitación \overline{OE} y \overline{WE} han de conectarse a $\overline{R/W}$ y a $\overline{R/W} \cdot \text{DATV}$, respectivamente, y las entradas de direcciones a las correspondientes líneas del bus $a_{10} - a_0 = A_{10} - A_0$.

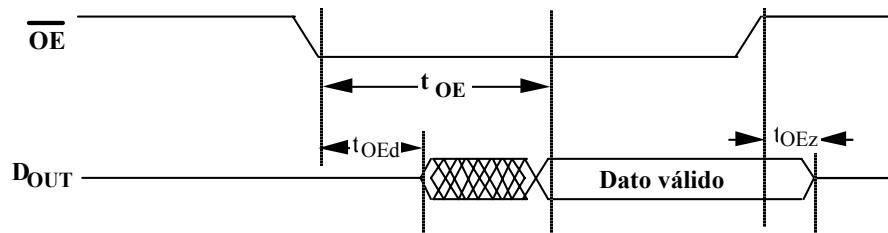
Esta placa de memoria contiene ocho circuitos integrados conectados a los buses y, en general, se utilizará junto con otras placas, de modo que será apreciable el número de integrados cargados sobre los buses; conviene incluir en cada placa adaptadores de bus que amplifiquen la intensidad de los mismos (véase apartado 20.4).

20.3. Ciclos de lectura y de escritura: tiempos de acceso

Lectura a través de un adaptador tri-estado

Los adaptadores tri-estado conectados sobre un bus mantienen normalmente sus líneas de salida en alta impedancia (desconexión) y requieren un pulso de habilitación de lectura **OE** para ejecutar tal operación.

A partir del momento en que se inicia dicho pulso de habilitación de lectura y con un cierto retraso sobre el mismo (tiempo de activación de las líneas de datos t_{OE_d}) las salidas dejan de estar en alta impedancia para transmitir, posteriormente (tiempo de habilitación de lectura t_{OE}) la palabra binaria presente en sus entradas. El pequeño intervalo existente entre los tiempos señalados ($t_{OE} - t_{OE_d}$) corresponde a un transitorio durante el cual las líneas de salida actúan como tales pero el dato que presentan no es válido (o bien los valores de las tensiones eléctricas no lo son).



Una vez finalizado el pulso de habilitación de lectura las líneas de salida tardan un cierto tiempo (tiempo de desactivación t_{OE_z}) en pasar al estado de alta impedancia, durante el cual el dato permanece en dichas salidas; corresponde por tanto a un tiempo de permanencia de la salida.

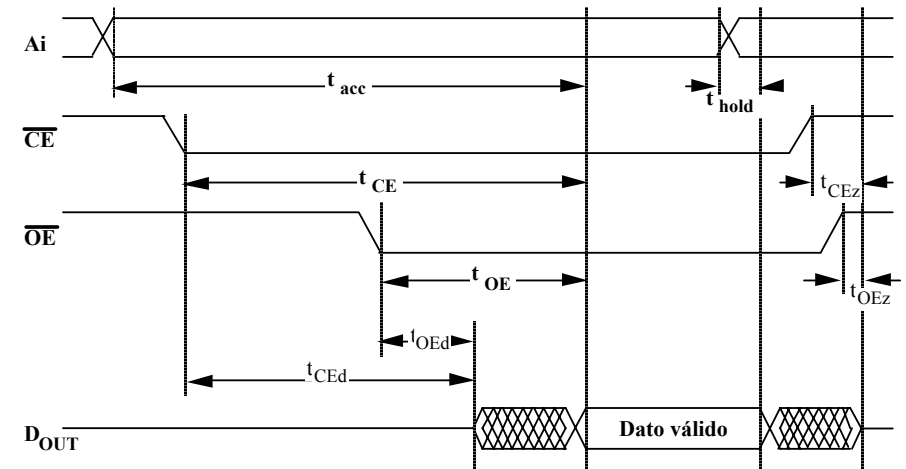
Ciclo de lectura en una memoria de acceso directo (RAM o ROM)

En el caso de una memoria de acceso directo, que contiene múltiples registros seleccionables por su número binario o dirección, la ejecución de una operación de lectura sobre uno de dichos registros requiere:

- seleccionar el registro a través de las líneas de direcciones A_i ,
- habilitar la memoria a través de la línea \overline{CE}
- y habilitar, también, la correspondiente operación de lectura \overline{OE} .

Por razones de protección, a fin de evitar inserciones (escrituras) falsas sobre los registros, la habilitación de escritura \overline{WE} se mantiene a **1** permanentemente y sólo pasa a **0** en los momentos de escritura; a tal fin los procesadores mantienen siempre la línea R/W a **1**, salvo en las operaciones de escritura.

El diagrama de señales en un ciclo de lectura adopta la forma representada en la figura siguiente:



Para que aparezcan válidamente los datos de un registro en las líneas de entrada/salida D_i es preciso:

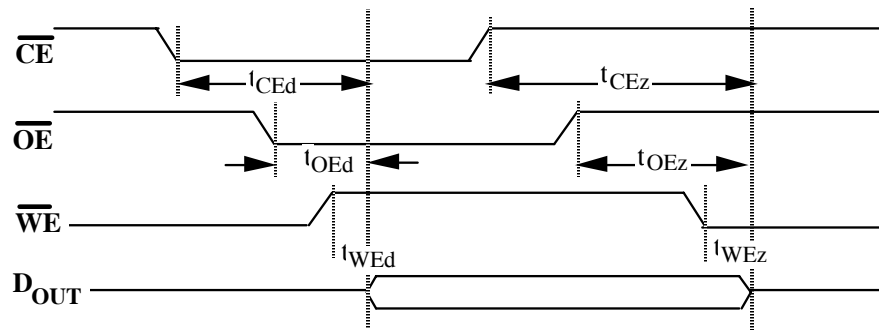
- establecer la dirección correspondiente a dicho registro en las líneas de direcciones a_i durante, al menos, un mínimo tiempo de acceso t_{acc} ,
- habilitar la memoria ($\overline{CE} = 0$) durante un intervalo superior al tiempo de habilitación t_{CE}
- y habilitar, también, las líneas de datos como salidas ($\overline{OE} = 0$) durante un intervalo superior al tiempo de habilitación de lectura t_{OE} .

El tiempo de acceso es el retraso que transcurre desde que se activan convenientemente las líneas de direccionamiento hasta que aparecen en las líneas de salida los datos válidos del registro direccionado, supuesto que la memoria se encuentra habilitada globalmente y que también lo esté la operación de lectura. Este tiempo es el más largo de todos debido al gran número de puertas que involucran los decodificadores de dirección del registro y, por ello, caracteriza la velocidad del circuito integrado.

Los tiempos de habilitación son los retrasos entre la activación de la correspondiente entrada de habilitación y la aparición de los datos en las líneas de datos, que pasan en este caso desde su estado de alta impedancia a actuar como salidas y a presentar en ellas el contenido del registro seleccionado, supuesta una dirección establecida previamente. Los datos permanecen en la salida un pequeño tiempo posterior al establecimiento de una nueva dirección (tiempo de permanencia t_{hold}).

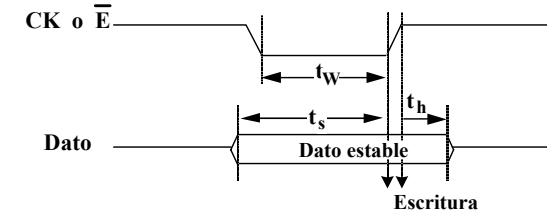
La figura anterior incluye, asimismo los tiempos de paso de las líneas de datos del estado de alta impedancia a su funcionamiento como salidas (t_{CEd} , $t_{OE d}$) y el paso contrario a alta impedancia (t_{CEz} , t_{OEz}); la activación de tales líneas como salidas requiere la habilitación de la pastilla $\overline{CE} = 0$ y de las salidas $\overline{OE} = 0$ y, también, la no habilitación de una operación de escritura $\overline{WE} = 1$.

La siguiente figura representa los tres tiempos involucrados en el paso de alta impedancia a salida de datos y en el paso inverso a alta impedancia:



Escritura en un registro

La operación de escritura sobre un registro requiere que la palabra binaria (dato) que va a ser escrita se encuentre presente en las líneas de entrada del mismo con una cierta anticipación (tiempo de preparación del dato: t_s) al momento de la escritura y que permanezca durante un pequeño tiempo posterior (tiempo de mantenimiento: t_h) a dicho momento.



En un registro síncrono el momento de ejecución de una operación de escritura viene determinado por el flanco activo del reloj CK , mientras que en un registro «habilitado por nivel» (*latch*) dicho momento coincide con el final del pulso de habilitación. En ambos casos, el «pulso de escritura» (es decir, el nivel previo al flanco activo del reloj o el pulso de habilitación) ha de tener una duración superior a un valor mínimo: tiempo de escritura t_w .

Uno de los dos tiempos referentes al dato (tiempo de preparación t_s o tiempo de mantenimiento t_h) puede ser nulo; de hecho existe un cierto compromiso entre ambos tiempos, de forma que, en el diseño de un registro, es posible disminuir uno de ellos a costa de aumentar el otro.

El respeto a los tiempos mínimos de anticipación, de mantenimiento del dato y de escritura asegura la correcta ejecución de la operación; la violación de tales tiempos puede dar lugar a una escritura incorrecta o a la permanencia del dato anterior en el registro.

Tras una operación de escritura sobre un registro, la palabra binaria escrita en él se presentará en sus líneas de salida con un pequeño retraso respecto al momento de escritura (tiempo de propagación t_p) y permanecerá en las salidas del registro hasta la siguiente operación de escritura.

Escritura en una memoria de acceso directo RAM

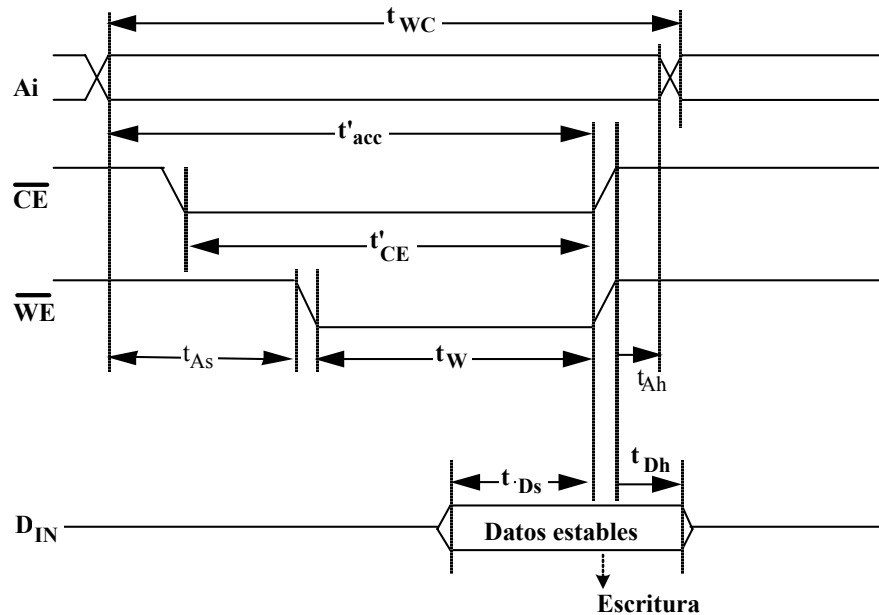
Para realizar una operación de escritura sobre un registro RAM se requiere:

- seleccionar dicho registro, a través de las líneas A_i , durante un intervalo de tiempo previo análogo al tiempo de acceso t'_{acc} ;
- habilitar la memoria ($\overline{CE} = 0$) durante un tiempo mínimo t'_{CE} ;
- ordenar la escritura a través de la línea \overline{WE} ($\overline{WE} = 0$), durante un tiempo mínimo de escritura t_w ;
- y, además, el dato ha de estar presente en las líneas de entrada/salida de la memoria D_i cumpliendo los correspondientes tiempos de anticipación (*setup* t_{Ds}) y de mantenimiento (*hold* t_{Dh}).

El pulso de escritura puede actuar bien sobre la entrada de habilitación de escritura \overline{WE} estando la memoria habilitada $\overline{CE} = 0$ o bien sobre la propia habilitación de la memoria \overline{CE} estando la escritura habilitada $\overline{WE} = 0$.

El pulso de escritura controla la inserción de nuevo dato en la pastilla, de forma que el instante de escritura coincide con el flanco de subida del mismo; previamente ha de encontrarse el dato en las líneas de entrada/salida durante un intervalo temporal superior a t_{Ds} y debe mantenerse presente durante un pequeño intervalo posterior t_{Dh} ; todo ello para asegurar una escritura correcta.

La secuencia de tiempos para el ciclo de escritura es la siguiente:



En la escritura, el tiempo de acceso o selección de registro t'_{acc} es análogo al considerado en el ciclo de lectura (ligeramente inferior); dicho tiempo expresa el retraso entre la implantación de una dirección en las líneas de direccionamiento y el acceso a dicho registro por las líneas de entrada/salida.

El tiempo de escritura t_w es el intervalo mínimo de habilitación a través de la línea de selección de escritura. Los tiempos de preparación t_{Ds} y de mantenimiento del dato t_{Dh} aseguran la estabilidad del mismo en las líneas de datos en el momento de memorización o escritura.

Pero, además, la dirección correcta ha de establecerse previamente al pulso de escritura t_{As} y ha de permanecer posteriormente al mismo t_{Ah} para evitar que se produzca una escritura errónea en algún otro registro.

El tiempo global del ciclo de escritura t_{WC} suele ser análogo al tiempo de acceso t_{acc} del ciclo de lectura (que es también el tiempo mínimo posible para dicho ciclo de lectura t_{RC}); por ello, el tiempo de acceso t_{acc} caracteriza la memoria en cuanto a velocidad.

Los diversos tiempos dependen del circuito integrado específico y deben ser consultados en las correspondientes hojas de características; dentro de un mismo tipo de memoria integrada suelen ofrecerse diversas series con tiempos de acceso y, consiguientemente, velocidades de trabajo diferentes; por ello, al número que identifica al circuito integrado suele añadirse su tiempo de acceso.

Tiempos de acceso y velocidades de trabajo habituales son los siguientes:

a) Memorias «lentas»:

(en la segunda línea de datos se indican las velocidades de trabajo admisibles, suponiendo que los retrasos intermedios, procesador-memoria, en las líneas de buses, incluida la decodificación de dirección del bloque, son inferiores a 20 ns)

120 ns	100 ns	85 ns
6 MHz	8 MHz	10 MHz

b) Memorias «rápidas»:

(supuestos retrasos intermedios en las líneas de buses que no superen los 10 ns)

70 ns	55 ns	30 ns
12 MHz	15 MHz	25 MHz

c) Memorias ultrarrápidas:

(retrasos intermedios inferiores a 5 ns)

25 ns	15 ns	10 ns
33 MHz	50 MHz	66 MHz

20.4. Problemas relativos a los buses: adaptadores de bus

La conexión de circuitos integrados o de placas (conjuntos de ellos) sobre los buses ha de respetar la velocidad de trabajo, asegurando que no se introducen retrasos importantes en las señales transmitidas a través de los buses; para ello:

- cualquier «circuito intermedio» (*interbus*) ha de ser suficientemente rápido
- y ha de limitarse el número de circuitos integrados conectados a un bus, incluyendo, si es necesario, adaptadores de bus (*buffers*: amplificadores de intensidad).

Los circuitos que realizan la decodificación de las direcciones (para situar adecuadamente los registros en el mapa de memoria), así como el resto de circuitos de habilitación y control de los diversos elementos que configuran la memoria (y, también, los adaptadores de bus) se interponen en medio de las líneas de los buses entre el procesador y la memoria, retrasando la transmisión de señales en los buses.

Por ello, tales circuitos (*interbus*) han de tener tiempos de propagación muy pequeños: para ciclos de operación no inferiores a 200 ns (5 MHz) pueden ser suficientes tiempos de propagación inferiores a 25 ns, mientras que ciclos con duración inferior precisan tiempos no superiores a 15 ns que deberán bajar a menos de 10 ns cuando la duración del ciclo sea inferior a 40 ns (25 MHz).

Las diversas familias y series lógicas integradas presentan, para un mismo circuito integrado, tiempos de propagación muy diferentes; por ejemplo, para un decodificador de 8 líneas muy utilizado en la decodificación de direcciones (**74138**), los tiempos de propagación son:

HC	(CMOS)	t_p máximo = 50 ns	típico (25°C): 25 ns
LS	(TTL)	t_p máximo = 40 ns	típico (25°C): 20 ns
ALS	(TTL)	t_p máximo = 20 ns	típico (25°C): 10 ns
FAST	(TTL)	t_p máximo = 10 ns	típico (25°C): 6 ns
AC	(CMOS)	t_p máximo = 8 ns	típico (25°C): 5 ns.

La serie **ALS** es adecuada para velocidades de trabajo altas (no superiores a 20 MHz) ya que asegura retrasos en la propagación de las señales relativamente bajos (del orden de 10 ns) y, en cambio, su repercusión como carga sobre el bus es inferior a 0,1 mA (intensidad para entrada **0**).

Para velocidades mayores es necesario utilizar series de menor tiempo de propagación, como puede ser la serie **F** (FAST) bipolar (cuyo consumo global es relativamente elevado y su carga sobre el bus es superior a 0,5 mA para entrada **0**) o la serie **AC** en CMOS (que requiere un diseño muy cuidadoso de la placa de circuito impreso pues presenta graves problemas de ruido en su conmutación).

Como veremos a continuación, una alternativa mejor es utilizar la familia BiCMOS.

Necesidad de suministrar intensidades altas

Los buses han de conectarse a múltiples circuitos integrados (*fan-out*), cuyo número en ocasiones puede ser muy alto; sin embargo, la intensidad suministrable por cada línea de bus suele ser relativamente baja, inferior a 10 mA.

Los circuitos integrados **TTL** requieren una intensidad de entrada no despreciable cuando su valor booleano es **0**: 0,2 mA para la serie LS, 0,1 para la serie ALS, 0,5 para la serie rápida FAST,...; por ello el número de circuitos integrados **TTL** conectados directamente sobre una línea de un bus debe ser muy pequeño.

De hecho los bloques de memoria (incluidos los adaptadores de periféricos) suelen ser integrados de tecnologías **MOS**, cuya repercusión sobre las líneas de los buses es capacitiva: cada entrada equivale a un condensador que hay que cargar o descargar en cada transición, cuyo valor suele estar entre 1 y 10 pF, siendo 3 pF el valor típico.

La carga o descarga de las múltiples entradas capacitivas que soporta un línea de un bus supone un aumento del tiempo de conmutación de las señales; supuesto un *fan-out* **n**, una intensidad de 10 mA y una tensión de alimentación de 5 V:

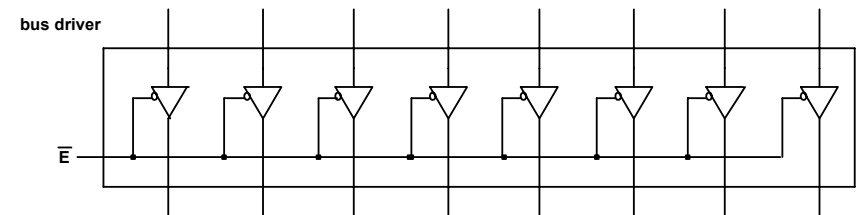
$$\Delta Q = n \cdot C_i \cdot \Delta V \quad I \cdot t = n \cdot C_i \cdot \Delta V \quad t = n \cdot C_i \cdot \Delta V / I \approx n \cdot (3 \text{ pF}) \cdot (5 \text{ V}) / (10 \text{ mA}) = 1,5 \cdot n \text{ ns}$$

Para **n** = 10 el tiempo de conmutación de la línea de bus es de 15 ns, que suponen un cierto retraso en la propagación de las señales, pero para **n** = 100 el retraso sería del orden de 150 ns, sumamente alto.

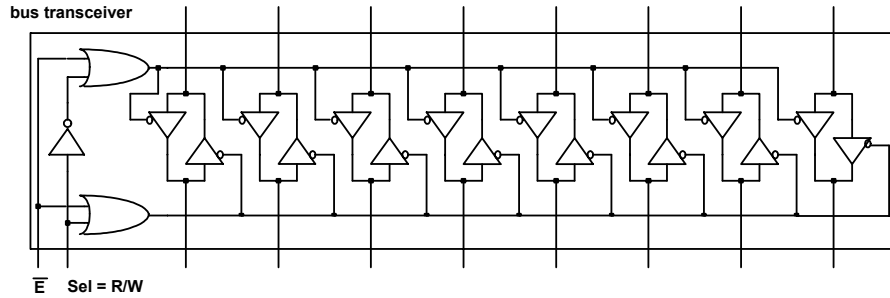
Tanto en el caso bipolar como en el MOS, cuando el número de circuitos a conectar sobre los buses es relativamente alto, interesa aumentar la capacidad de carga del bus, es decir, la intensidad suministrable por sus líneas. Esto se consigue mediante «adaptadores de bus» (*buffers*), que transmiten directamente el valor booleano presente en el bus y proporcionan en su salida intensidades relativamente altas.

Un adaptador de bus puede ser unidireccional *bus driver* (caso del bus de direcciones y del bus de control) o bidireccional *bus transceiver* (para el bus de datos); ambos se configuran mediante adaptadores triestado de alta intensidad de salida:

- un adaptador unidireccional *bus driver* está constituido por un conjunto de adaptadores triestado con una sola entrada de habilitación común para todos ellos (por ejemplo, el circuito integrado **74244** de 8 líneas)



- un adaptador bidireccional *bus transceiver* contiene un conjunto de parejas de adaptadores triestado en «antiparalelo» (para una operación de lectura debe ser habilitado uno de ellos y para la escritura ha de habilitarse el de la dirección opuesta), de forma que, además de la entrada de habilitación ha de tener una entrada común **Sel** que selecciona la dirección en que se produce la habilitación (por ejemplo, el circuito integrado **74245** de 8 líneas).



Como «circuitos intermedios» en los buses, los adaptadores deben presentar tiempos de propagación muy pequeños y, además, por su propia función, han de proporcionar intensidades de salida relativamente altas; constituyen una clase particular de circuitos digitales que han de ofrecer, a la vez, alta velocidad y alta intensidad de salida.

Para los buses de direcciones y de control han de utilizarse adaptadores unidireccionales (*bus driver*), que han de estar continuamente habilitados. Para el bus de datos serán necesarios adaptadores bidireccionales (*bus transceiver*), que han de habilitarse sólo cuando se accede al correspondiente sector del mapa de memoria (a la zona o «placa» de circuitos integrados a la que transmiten los datos); además, se necesita distinguir el sentido de transmisión de los datos, diferenciando entre la habilitación de lectura (hacia el procesador) y la habilitación de escritura (en sentido contrario).

La serie **ALS** proporciona adaptadores de bus con intensidades de salida de 15 mA y 24 mA para el **1** y el **0** lógicos, respectivamente, y tiempos de propagación inferiores a 10 ns en el caso unidireccional (*bus driver 74ALS244*) y a 20 ns en el caso bidireccional (*bus transceiver 74ALS245*).

Lógica interbús y tecnología BiCMOS

En el capítulo 10 (primer volumen) se ha introducido la denominación de «lógica interbús» (apartado 10.1.3) para referirse a los circuitos situados en medio de los buses; dentro de este tipo se encuentran tanto los adaptadores de bus como aquellos otros circuitos intermedios que, situados sobre los buses, han de conectar sus salidas a múltiples bloques de memoria.

La lógica interbús requiere tiempos de propagación muy reducidos para no retrasar las señales que transmiten los buses y altas intensidades de salida para poder conectarse a múltiples bloques. Para mejorar dichas características de alta velocidad e intensidad se ha desarrollado recientemente una nueva tecnología de integración aprovechando las ventajas de los transistores bipolares y las propias de la integración CMOS: tecnología **BiCMOS**.

En la integración **BiCMOS** la etapa de salida es de tipo TTL (*totem pole*), que permite conmutar rápidamente altas intensidades, mientras que las entradas y la lógica booleana son de tipo CMOS, aprovechando su reducida carga (como entradas) y sus mejores características de funcionalidad lógica y de conmutación; además, el consumo de las puertas BiCMOS en la situación de alta impedancia es muy reducido (mientras que el consumo de las puertas bipolares en alta impedancia es alto).

La tecnología **BiCMOS** se utiliza para circuitos integrados específicamente dirigidos a los buses (adaptadores de bus, decodificación de direcciones, control de lectura y escritura, etc.) y, también, para circuitos integrados mixtos (ASICs digitales con parte analógica).

La serie **ABT** (*Advanced BiCMOS Technology*) proporciona adaptadores de bus con intensidades de salida de 32 mA (para el **1**) y 64 mA (para el **0**) y tiempos de propagación inferiores a 5 ns (*bus driver 74ABT244*) y a 7 ns en el caso bidireccional (*bus transceiver 74ABT245*); existe asimismo una serie **BiCMOS** de baja tensión **LVT** para el intervalo 2,7-3,6 V, con tiempos de propagación inferiores a 4 ns.