

8 PUERTAS CON INTERRUPTORES COMPLEMENTARIOS LÓGICA CMOS

8.1. Puertas con interruptores inversos

8.2. El transistor PMOS

8.3. El inversor con transistores complementarios

8.4. Puertas lógicas CMOS

8.5. Familia HCMOS: características según catálogo

Los interruptores inversos se activan con valor booleano **0**, de forma que conducen si su entrada es **0** y no lo hacen cuando reciben un **1**. Con ellos es posible construir puertas inversoras (al igual que con los interruptores directos), pero, en este caso, el plano de interruptores se sitúa «arriba» para transmitir el valor **1**.

Como las entradas se encuentran invertidas, la conexión de interruptores en serie da lugar a operaciones "e" y su conexión en paralelo produce operaciones "y", seguidas siempre de una inversión global. De esta forma los interruptores inversos conforman planos duales respecto a los interruptores directos, para el mismo tipo de puerta lógica.

El interés de los interruptores inversos reside en combinarlos con los directos para formar puertas con dos planos de interruptores (sin resistencia de polarización), cuyo consumo estático es nulo, ya que, en cada momento, solamente conduce uno de los planos. Tales puertas reciben el nombre de lógica «complementaria» y pueden construirse con transistores PMOS (para los interruptores inversos) y NMOS, dando lugar a la familia lógica CMOS (lógica de transistores MOS complementarios).

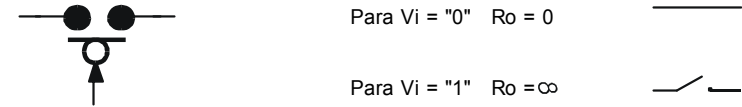
Las puertas CMOS están conformadas por un plano PMOS que transmite el valor **1** y otro NMOS que transmite el **0**; cada entrada tiene un transistor en cada uno de los planos y las conexiones en ellos son duales (serie en un plano \Leftrightarrow paralelo en el otro). Estas puertas son de tipo inversor y la combinación de conexiones serie-paralelo permite una gran diversidad de puertas.

Actualmente se utiliza la serie HCMOS (CMOS de alta velocidad); ésta presenta excelentes características en cuanto a resistencias de entrada y de salida (y, por tanto, en cuanto a acople en tensión e inmunidad frente al ruido), consumo estático nulo y tiempos de propagación del orden de los 10 nanosegundos.

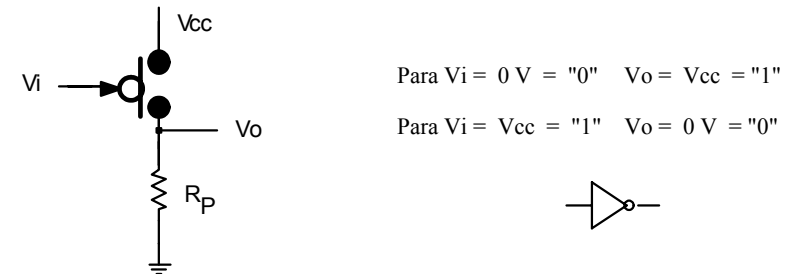
En este capítulo se consideran en detalle tales características, así como el consumo dinámico propio de la conmutación de las puertas. Para ello es necesario habituarse a la forma en que los fabricantes especifican las características en sus catálogos; éstos contienen la información concreta (con datos numéricos medidos) sobre el comportamiento real de los diversos circuitos digitales.

8.1. Puertas con interruptores inversos

Un interruptor inverso permite el paso de corriente eléctrica a su través cuando la tensión de la entrada de control corresponde al **0** y, en cambio, no conduce cuando dicha entrada recibe un **1**. Como en el caso del interruptor directo, su resistencia de entrada es infinita, es decir, la intensidad que requiere la entrada para controlar el estado del interruptor es despreciable.



El circuito de la figura siguiente representa un inversor booleano configurado con un interruptor inverso: para $V_i = 0$ el interruptor conduce y transmite a la salida la tensión de alimentación V_{CC} , mientras que para $V_i = 1$ el interruptor no conduce y la resistencia de polarización R_P lleva la salida a **0**.



El montaje anterior es inversor ya que el interruptor conduce cuando recibe un **0** y, entonces, lleva la salida a **1**; la resistencia R_P transmite por defecto (cuando el interruptor no conduce) la tensión correspondiente a **0**.

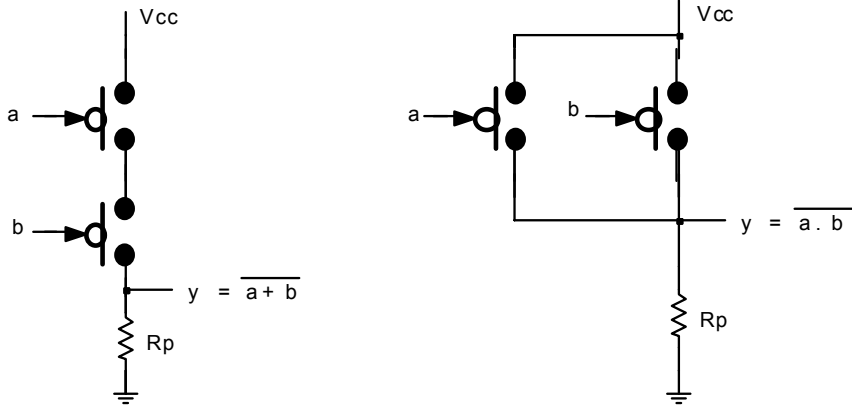
La resistencia de entrada de este inversor es la propia del interruptor, sumamente alta, mientras que la resistencia de salida es nula para salida **1** y R_P para salida **0**. En ambos casos, al conectar varios inversores seguidos se cumple la condición de buen acople en tensión $R_i \gg R_o$.

Habida cuenta de que sus entradas se encuentran invertidas (es decir, son activas con valor 0) la conexión de interruptores inversos en serie da lugar a una operación "o-negada" (Nor): una operación "y" cuyas entradas están negadas:

$$y = \bar{a} \cdot \bar{b} = \overline{a + b}$$

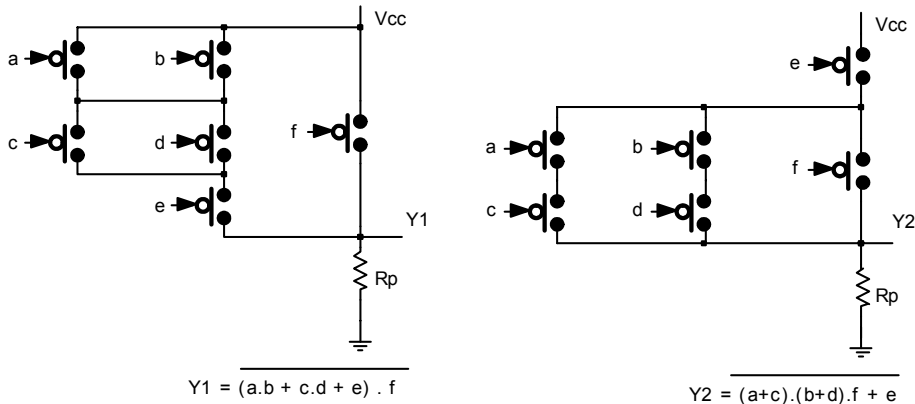
De igual forma, su conexión en paralelo configura una puerta "y-negada" (Nand):

$$y = \overline{a + b} = \bar{a} \cdot \bar{b}$$



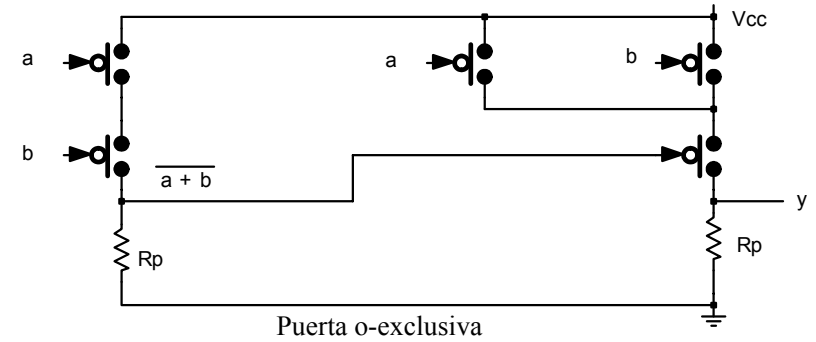
Puede comprobarse directamente la operación que realiza cada una de estas puertas construyendo su correspondiente «tabla de verdad».

Los interruptores inversos se comportan como duales respecto a los interruptores directos. Pueden obtenerse puertas inversoras complejas, aprovechando operaciones "y", conformadas por interruptores en paralelo, y operaciones "o", con interruptores en serie.



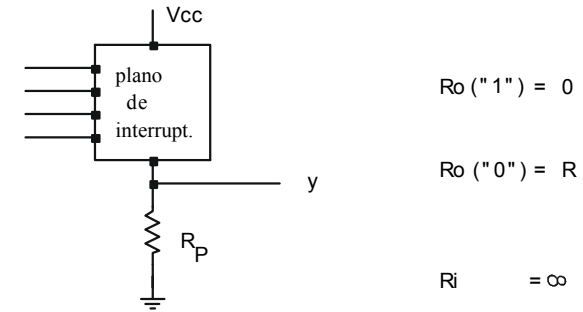
Las puertas resultantes son siempre inversoras: producen una inversión global sobre el conjunto de operaciones "y" (paralelo) y operaciones "o" (serie) configuradas por la forma de conexión de los interruptores; todas ellas proceden de la estructura de un inversor y conservan tal carácter.

La operación o-exclusiva: $y = a \oplus b = \bar{a} \cdot b + a \cdot \bar{b} = \overline{a \cdot b + \overline{a + b}}$ requiere 5 interruptores:



En resumen, una puerta con interruptores inversos estará conformada por un «plano de interruptores», conectados en serie o en paralelo para configurar operaciones "o" y operaciones "y", respectivamente, y por una resistencia de polarización Rp:

- cada interruptor conduce cuando su entrada recibe un 0 (por ello, la puerta es inversora)
- cuando el plano de interruptores conduce transmite el valor 1
- por defecto Rp transmite el valor 0 (cuando el plano de interruptores no conduce).



$$R_o ("1") = 0$$

$$R_o ("0") = R$$

$$R_i = \infty$$

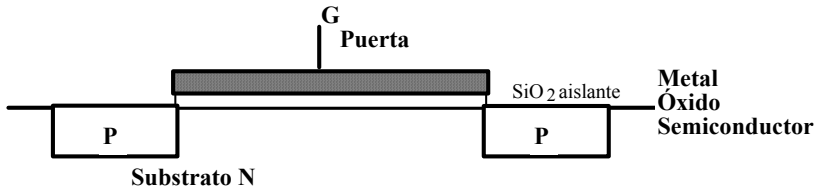
El buen acoplo en tensión queda garantizado por ser $R_i \approx \infty$.

El consumo para salida 0 es nulo y para salida 1 es $I_{CC} = V_{CC} / R_p$.

8.2. El transistor PMOS

Nota: recuérdese que el capítulo T1 puede resultar útil para repasar el comportamiento razonado de semiconductores, diodos y transistores MOS.

Así como el transistor NMOS es un buen interruptor directo, el transistor PMOS lo es como interruptor inverso. Un transistor PMOS está formado sobre un sustrato N por sendas difusiones P (Fuente S y Drenaje D) que actúan como contactos y por un «condensador» intermedio conformado por el sustrato, óxido de silicio aislante y un plano conductor que actúa como entrada de control (Puerta G).

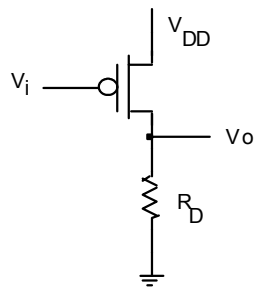


Cuando la tensión de entrada V_i es suficientemente negativa, la puerta atrae a los huecos libres en el sustrato (procedentes de los pares electrón-hueco propios del silicio como semiconductor) y forma un canal conductor entre fuente y drenaje; cuando la tensión de puerta es claramente inferior a la tensión umbral, no existe canal y el transistor no conduce.

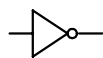
De esta forma, una tensión negativa suficientemente alta sobre el terminal de puerta da lugar, por atracción sobre los portadores minoritarios del sustrato, a un canal continuo entre las dos zonas de difusión P que permite el flujo de corriente entre ellas.

La resistencia del canal se hace convenientemente baja ($\sim 10 \Omega$) aumentando la anchura del transistor; la resistencia de entrada es prácticamente infinita, con lo cual queda asegurado un buen acoplo en tensión.

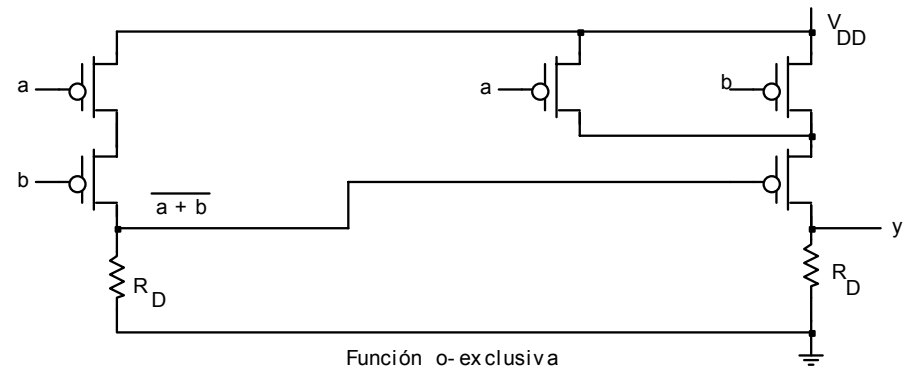
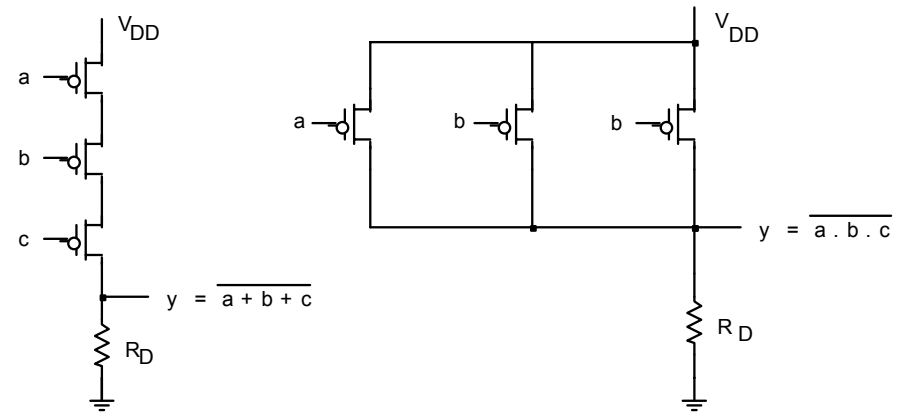
El esquema transistor PMOS - resistencia de polarización R_D conforma un inversor booleano; en este caso el transistor PMOS se encuentra «arriba», conectado a la tensión de polarización V_{DD} :



Para $V_i = 0 \text{ V} = "0"$ $V_o = V_{DD} = "1"$
 Para $V_i = V_{DD} = "1"$ $V_o = 0 \text{ V} = "0"$



Utilizando los transistores PMOS como interruptores inversos pueden construirse los diversos tipos de puertas inversoras; tales puertas estarán formadas por tantos transistores PMOS como entradas tenga la puerta, más una resistencia de polarización R_D :



El tamaño de un transistor PMOS es análogo al del NMOS (dimensiones del orden de la micra) y asimismo conserva las características de autoalineado y autoaislado propias del transistor MOS, que facilitan la alta densidad de integración de múltiples transistores.

El transistor PMOS presenta tiempos de respuesta del orden del nanosegundo, una velocidad similar pero apreciablemente inferior a la del NMOS, ya que la movilidad de los huecos es netamente inferior a la de los electrones: el movimiento de un hueco requiere que un electrón ligado se desplace y lo ocupe, dejando un nuevo hueco en su enlace; obviamente, los electrones ligados presentan menor movilidad que los electrones libres.

8.3. El inversor con transistores complementarios

Las puertas con transistores MOS de un solo tipo, puertas NMOS o puertas PMOS, presentan características análogas:

- Su tamaño es muy reducido, gracias a las dimensiones micrométricas de los transistores y a su autoalineamiento y autoaislamiento: permiten muy alta densidad de integración.
- Son puertas inversoras: las NMOS porque los transistores transmiten el **0** y las PMOS porque las entradas actúan en forma negada.
- Ofrecen buen acoplo en tensión; su resistencia de entrada es elevada $R_i \sim \infty$.
- La resistencia de salida R_o es muy baja cuando el plano de transistores conduce (RMOS) y tiene el valor de la resistencia de polarización R_D cuando no lo hace.
- Cuando el plano de transistores conduce se forma un divisor de tensión entre su resistencia R_{MOS} y la de polarización R_D , siendo necesario que $R_D \gg R_{MOS}$ para que el valor de tensión de salida sea correcto.
- Valores bajos de la resistencia de salida (R_{MOS} , R_D) favorecen en gran medida la «inmunidad frente al ruido»: evitan que cualquier perturbación electromagnética afecte a la tensión de salida.
- Las entradas son de tipo capacitivo $C_i = C_G$, lo cual repercute en el tiempo de propagación de cada puerta ya que ha de cargar o descargar (a través de su resistencia de salida) la capacidad de entrada de la siguiente puerta (o puertas) conectada a ella.
- El consumo I_{CC} es nulo cuando el plano de transistores no conduce y V_{DD} / R_D en el otro caso. Por ello el consumo promedio es $V_{DD} / 2 \cdot R_D$, no nulo.

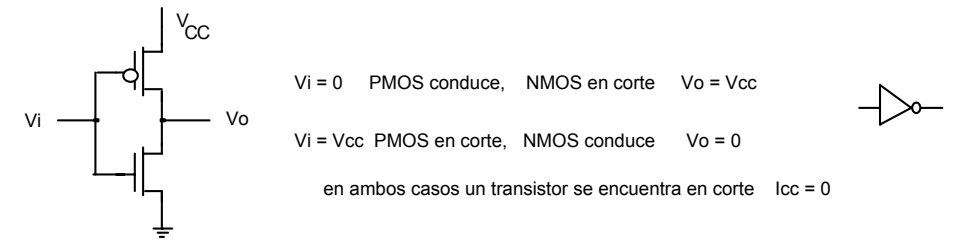
De forma que, en relación con la inmunidad frente al ruido y a la velocidad de trabajo, interesan valores muy bajos de R_D , pero en cuanto al consumo (y en relación con el divisor de tensión R_D / R_{MOS}), interesan valores altos de dicha resistencia.

Ahora bien, podemos resolver esta contradicción y mejorar grandemente las puertas en aquellas características que dependen de R_D utilizando conjuntamente los dos planos de interruptores: el plano de transistores NMOS para transmitir el **0** y el plano de transistores inversos PMOS para transmitir el **1**.

Ambos planos P y N no conducirán nunca a la vez y, consiguientemente, el consumo de estas puertas será nulo. Además, la resistencia de salida será muy baja para ambos valores booleanos, lo cual repercutirá muy favorablemente en la inmunidad frente al ruido y en la velocidad de trabajo de las puertas.

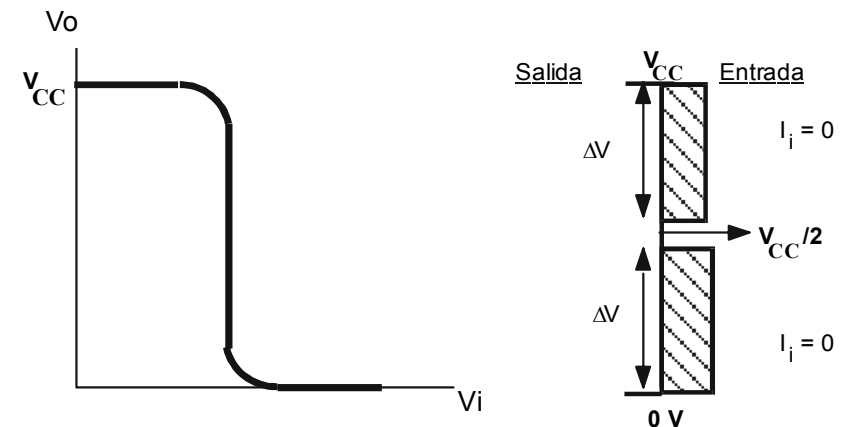
Tales puertas con transistores MOS de ambos tipos reciben el nombre de puertas CMOS (puertas de transistores MOS Complementarios).

El inversor CMOS estará configurado por un transistor de canal N y de otro de canal P; la unión de estos dos transistores complementarios confiere al inversor una gran simetría estructural y reduce su consumo estático a valores nulos.



El consumo estático del inversor CMOS es nulo para los dos valores booleanos, pues en ambos casos uno de los transistores se encuentra en corte; la intensidad en las entradas es también nula, lo cual supone un excelente acoplo en tensión.

Diseñando los transistores PMOS de forma que presenten la misma resistencia efectiva que los NMOS, la simetría propia del circuito hace que la función de transferencia sea aproximadamente simétrica, con la conmutación entre estados situada aproximadamente en la mitad de la tensión de la alimentación ($V_{CC}/2$), obteniéndose márgenes de ruido cercanos al 50 % de dicha tensión.



La resistencia de salida para el valor **1** es la que presenta el transistor PMOS y para el **0** la correspondiente al transistor NMOS, ambas muy bajas ($\sim 10 \Omega$) por el propio diseño de los transistores, adecuadamente anchos.

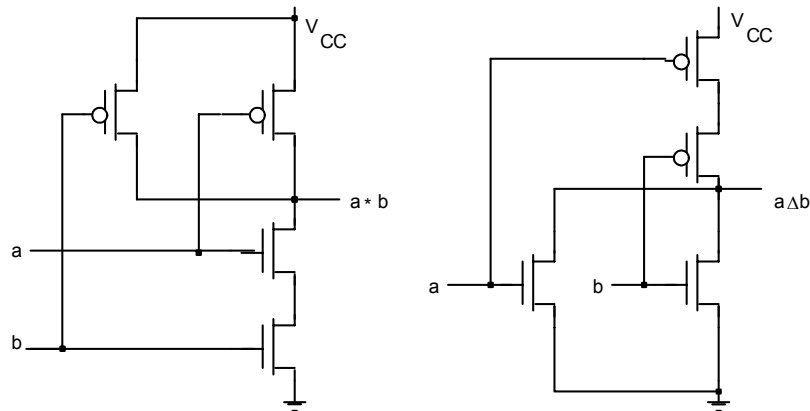
En la conmutación de un valor booleano al otro, una puerta deberá cargar o descargar las capacidades de entrada (condensadores puerta-canal) de las puertas conectadas a ella; ello incide en el tiempo de respuesta de la puerta que será del orden de la constante de tiempo asociada, es decir, del producto de la resistencia de salida de la puerta por la capacidad de carga sobre ella: $t_p \sim 2\tau = 2 \cdot R_o \cdot C_L$.

Asimismo, durante la conmutación de una puerta su intensidad de entrada no es nula sino que corresponde a la carga o descarga de las dos capacidades puerta-canal que conforman cada entrada; además, los transistores MOS presentan otros efectos capacitivos que se suman a la capacidad de puerta. Por ello, si bien el consumo estático (cuando la salida presenta uno de los dos valores booleanos **0/1**) es nulo, cuando la puerta conmuta de un valor al otro se produce un consumo no despreciable ya que han de cargarse o descargarse las diversas capacidades de sus transistores: consumo dinámico.

La evaluación del consumo dinámico de una puerta se realiza a través de su capacidad equivalente a efectos de disipación de potencia C_{pd} : $P = C_{pd} \cdot V_{CC}^2 \cdot f$ (expresión que corresponde a la energía consumida por un condensador en un proceso continuado de carga-descarga con una frecuencia f).

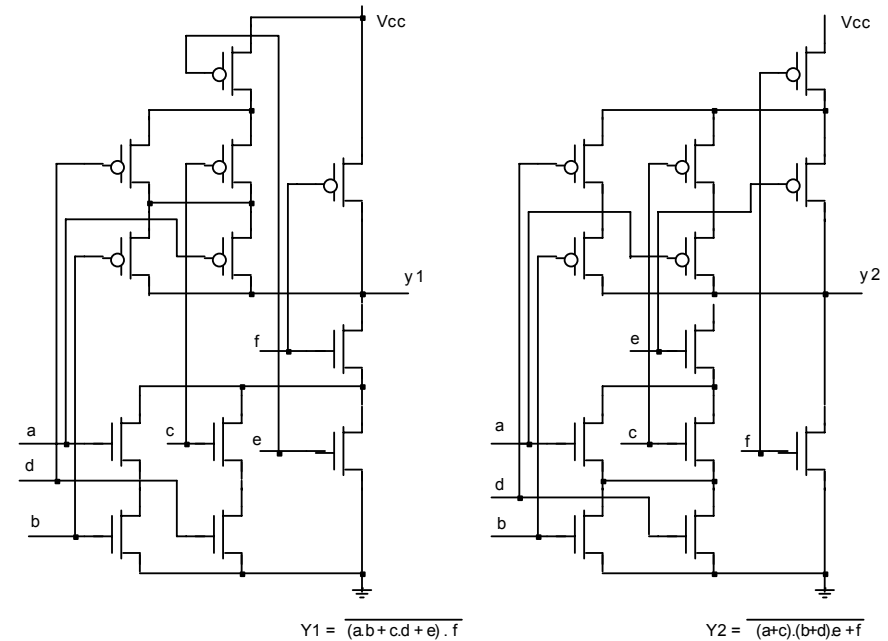
8.4. Puertas lógicas CMOS

A partir de la configuración del inversor CMOS, pueden construirse puertas lógicas "y-negada" (*Nand*) y "o-negada" (*Nor*), incluyendo un par de transistores complementarios (NMOS y PMOS) para cada entrada:

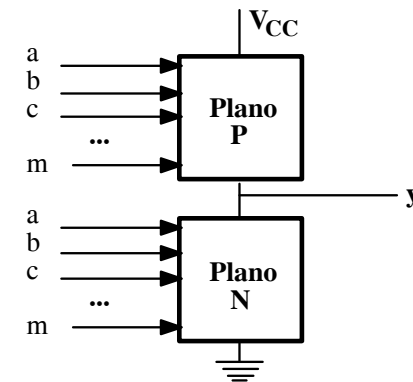


Estas puertas inversoras, conformadas con transistores «MOS complementarios» dan lugar a la familia lógica CMOS, con un «plano PMOS» superior y otro «plano NMOS» inferior, ambos con el mismo número de transistores y en conexión «dual» en un plano respecto al otro: si dos transistores de un plano se encuentran en serie, los correspondientes complementarios en el otro plano se encontrarán en paralelo.

Mediante tal conexión de transistores en serie y en paralelo pueden configurarse puertas complejas:



Las puertas lógicas CMOS se construyen mediante dos planos «duals» de transistores: **plano N** y **plano P**; a cada una de las entradas le corresponden sendos transistores, uno en cada plano, conectados de acuerdo con la dualidad serie-paralelo.



Todo transistor de canal N debe estar acompañado por un complementario de canal P: las combinaciones de los PMOS han de ser duales (paralelo ↔ serie) respecto a las que forman sus correspondientes NMOS, a fin de que la salida se encuentre siempre conectada a 0 o a V_{CC} a través de transistores activos.

Al conectar una entrada a un valor booleano **0/1**, uno de sus transistores se encontrará en corte y el otro conducirá; de esta forma todo camino de conducción entre los dos terminales de alimentación incluye siempre un transistor en corte, por lo cual el consumo en reposo es nulo.

La combinación en serie de transistores en el plano N corresponde a una operación "y" (conforme al álgebra de conmutadores), mientras que la conexión en paralelo da lugar a una operación "o"; ahora bien, como el plano N transmite «ceros» (está conectado a tensión 0 V), añade una inversión global en la salida.

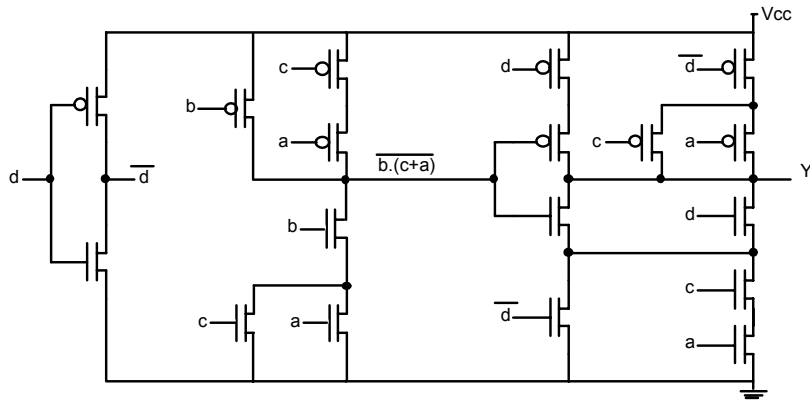
Los transistores del plano P transmiten «unos» (están conectados a tensión V_{CC}) pero conducen con entrada **0**, es decir, sus entradas actúan en forma negada; por ello, la conexión en serie corresponde a una operación "y" de variables negadas o, lo que es lo mismo, a una operación "o-negada" (según el teorema de Morgan), mientras que la combinación en paralelo da lugar a una operación "o" entre variables negadas, que pasa a ser una operación "y-negada". De manera que, en el plano P, la conexión en serie corresponde a una operación "o" y en paralelo a una operación "y" más una negación global, en ambos casos.

De esta forma puede configurarse cualquier función booleana que corresponda a una combinación de sumas y productos con una inversión (negación) global (que afecta al conjunto); en una misma puerta no pueden existir otras inversiones dentro de la expresión algebraica: cada una de ellas dará lugar a una nueva puerta.

Ejemplo:

$$Y = \overline{d.c} + \overline{d.a} + \overline{d}.c.b + \overline{d}.b.a = d.(c + a) + \overline{d}.b.(c + a) = \overline{(d + c.a)}.(d + b.(c + a))$$

función que requiere 3 puertas: $y1 = \overline{d}$, $y2 = \overline{b.(c + a)}$, $Y = (y1 + c.a).(d + y2)$



8.5 Familia HCMOS: características según catálogo

Se incluyen a continuación los datos del catálogo de Texas Instruments para el circuito integrado **74HC00** que contiene 4 puertas Nand y es el primero de la familia HC (CMOS de alta velocidad).

SN54HC00, SN74HC00
QUADRUPLE 2-INPUT POSITIVE-NAND GATES

SCLS181B - DECEMBER 1982 - REVISED MAY 1997

● **Package Options Include Plastic Small-Outline (D), Thin Shrink Small-Outline (PW), and Ceramic Flat (W) Packages, Ceramic Chip Carriers (FK), and Standard Plastic (N) and Ceramic (J) 300-mil DIPs**

description

These devices contain four independent 2-input NAND gates. They perform the Boolean function $Y = \overline{A \cdot B}$ or $Y = \overline{A + B}$ in positive logic.

The SN54HC00 is characterized for operation over the full military temperature range of -55°C to 125°C. The SN74HC00 is characterized for operation from -40°C to 85°C.

SN54HC00 ... J OR W PACKAGE
SN74HC00 ... D, N, OR PW PACKAGE
 (TOP VIEW)

SN54HC00 ... FK PACKAGE
 (TOP VIEW)

absolute maximum ratings over operating free-air temperature range†

Supply voltage range, V _{CC}	-0.5 V to 7 V
Input clamp current, I _{IK} (V _I < 0 or V _I > V _{CC}) (see Note 1)	±20 mA
Output clamp current, I _{OK} (V _O < 0 or V _O > V _{CC}) (see Note 1)	±20 mA
Continuous output current, I _O (V _O = 0 to V _{CC})	±25 mA
Continuous current through V _{CC} or GND	±50 mA
Package thermal impedance, θ _{JA} (see Note 2): D package	127°C/W
N package	78°C/W
PW package	170°C/W
Storage temperature range, T _{stg}	-65°C to 150°C

† Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

- NOTES: 1. The input and output voltage ratings may be exceeded if the input and output current ratings are observed.
 2. The package thermal impedance is calculated in accordance with JEDEC 51, except for through-hole packages, which use a trace length of zero.

recommended operating conditions

		SN54HC00			SN74HC00			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
V _{CC}	Supply voltage	2	5	6	2	5	6	V
V _{IH}	High-level input voltage	V _{CC} = 2 V	1.5		1.5			V
		V _{CC} = 4.5 V	3.15		3.15			
		V _{CC} = 6 V	4.2		4.2			
V _{IL}	Low-level input voltage	V _{CC} = 2 V	0	0.5	0	0.5	V	
		V _{CC} = 4.5 V	0	1.35	0	1.35		
		V _{CC} = 6 V	0	1.8	0	1.8		
V _I	Input voltage	0	V _{CC}	0	V _{CC}	V		
V _O	Output voltage	0	V _{CC}	0	V _{CC}	V		
t _t	Input transition (rise and fall) time	V _{CC} = 2 V	0	1000	0	1000	ns	
		V _{CC} = 4.5 V	0	500	0	500		
		V _{CC} = 6 V	0	400	0	400		
T _A	Operating free-air temperature	-55	125	-40	85	°C		

SN54HC00, SN74HC00
QUADRUPLE 2-INPUT POSITIVE-NAND GATES

SCLS181B - DECEMBER 1982 - REVISED MAY 1997

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS	V _{CC}	T _A = 25°C			SN54HC00		SN74HC00		UNIT
			MIN	TYP	MAX	MIN	MAX	MIN	MAX	
V _{OH}	V _I = V _{IH} or V _{IL}	I _{OH} = -20 μA	2 V	1.9	1.998	1.9	1.9	V		
			4.5 V	4.4	4.499	4.4	4.4			
		6 V	5.9	5.999	5.9	5.9				
		I _{OH} = -4 mA	4.5 V	3.98	4.3	3.7	3.84			
		I _{OH} = -5.2 mA	6 V	5.48	5.8	5.2	5.34			
V _{OL}	V _I = V _{IH} or V _{IL}	I _{OL} = 20 μA	2 V		0.002	0.1	0.1	0.1	V	
			4.5 V		0.001	0.1	0.1	0.1		
			6 V		0.001	0.1	0.1	0.1		
		I _{OL} = 4 mA	4.5 V		0.17	0.26	0.4	0.33		
		I _{OL} = 5.2 mA	6 V		0.15	0.26	0.4	0.33		
I _I	V _I = V _{CC} or 0	6 V		±0.1	±100	±1000	±1000	nA		
I _{CC}	V _I = V _{CC} or 0, I _O = 0	6 V			2	40	20	μA		
C _i		2 V to 6 V		3	10	10	10	pF		

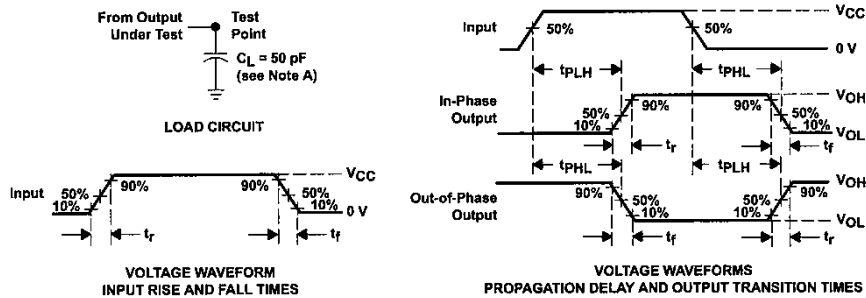
switching characteristics over recommended operating free-air temperature range, C_L = 50 pF (unless otherwise noted) (see Figure 1)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	V _{CC}	T _A = 25°C			SN54HC00		SN74HC00		UNIT
				MIN	TYP	MAX	MIN	MAX	MIN	MAX	
t _{pd}	A or B	Y	2 V		45	90	135	115	ns		
			4.5 V		9	18	27	23			
			6 V		8	15	23	20			
t _t		Y	2 V		38	75	110	95	ns		
			4.5 V		8	15	22	19			
			6 V		6	13	19	16			

operating characteristics, T_A = 25°C

PARAMETER	TEST CONDITIONS	TYP	UNIT
C _{pd} Power dissipation capacitance per gate	No load	20	pF

PARAMETER MEASUREMENT INFORMATION



NOTES: A. C_L includes probe and test-fixture capacitance.
 B. Phase relationships between waveforms were chosen arbitrarily. All input pulses are supplied by generators having the following characteristics: PRR ≤ 1 MHz, Z_O = 50 Ω, t_r = 6 ns, t_f = 6 ns.
 C. The outputs are measured one at a time with one input transition per measurement.
 D. t_{PLH} and t_{PHL} are the same as t_{pd}.

Las tablas anteriores incluyen los datos de la serie 74HC y, también, los de la serie 54HC; la primera de ellas es la serie «normal», que se utiliza habitualmente.

La serie 54 está preparada para un intervalo de temperaturas de funcionamiento más amplio (de -55 a 125°C, frente al intervalo de -40 a 85°C de la serie normal) y, para ello, su encapsulado es cerámico (en lugar de plástico); suele nombrarse con el calificativo de «militar» y, obviamente, su coste es superior al de la serie «normal».

Conforme a estos datos, la serie **74HC** CMOS de «alta velocidad» presenta las siguientes características funcionales:

• *Temperaturas*

La temperatura de funcionamiento abarca el intervalo entre -40°C y 85°C.

La temperatura de almacenamiento va de -65° a 150°C.

• *Tensión de alimentación*

Pueden utilizarse tensiones de alimentación entre 2 y 6 voltios.

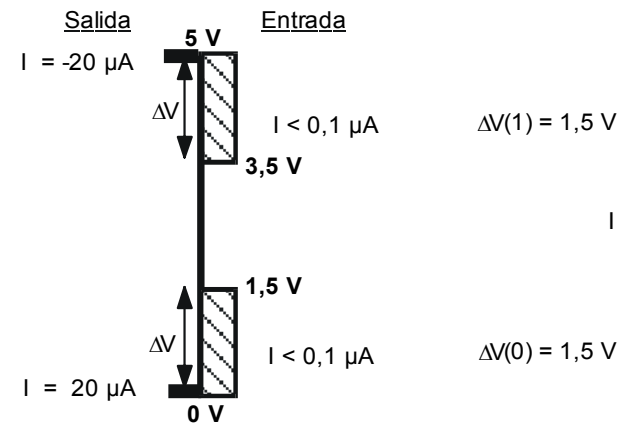
• *Tensiones e intensidades: V_O-V_i, I_O, I_i.*

Para referirlos a la tensión de alimentación típica de 5 V se han tomado los datos de tensiones de catálogo para 4,5 V (a 25°C) aumentados en un 10%:

V_{oL} = 0 V I_{oL} = 20 μA V_{iLmax} = 1,5 V

I_i < 0,1 μA

V_{oH} = 5 V I_{oH} = -20 μA V_{iHmin} = 3,5 V



- *Inmunidad frente al ruido*

El ruido es una perturbación que actúa sobre los nudos booleanos pudiendo modificar su valor **1/0**: los valores booleanos están presentes en la salida de cada puerta y sobre dicha salida se encuentra conectada la entrada o entradas de las puertas siguientes.

En la figura anterior (diagrama salida – entrada), se aprecia el margen que hay respecto al ruido (indicado como ΔV): si la salida de 5 V (**1** booleano) es afectada por un ruido que causa una variación de tensión inferior a 1,5 V, la entrada siguiente recibirá una tensión superior a 3,5 V y seguirá entendiéndose como valor **1**; de igual forma si la salida de 0 V (**0** booleano) soporta un ruido menor que 1,5 V, la entrada siguiente recibirá una tensión inferior a 1,5 V y seguirá entendiéndose como valor **0**.

El margen de inmunidad frente al ruido en tensión es de 1,5 V para cada uno de los valores booleanos:

$$\Delta V(0) = 1,5 - 0 = 1,5 \text{ V} \qquad \Delta V(1) = 5 - 3,5 = 1,5 \text{ V.}$$

Ahora bien, el ruido es una potencia parásita (energía actuante por unidad de tiempo) que perturba el sistema electrónico: el margen de ruido en potencia resulta mucho más representativo de la inmunidad frente al ruido que el margen en tensión. Para calcularlo es preciso conocer el valor de la resistencia de salida, ya que el efecto del ruido depende de la resistencia sobre la que actúa: la resistencia presente en un nudo booleano corresponde al paralelo de la resistencia R_o de salida de la primera puerta con las de entrada R_i de las siguientes y, en dicho paralelo, predomina la resistencia de salida R_o por ser de valor mucho menor que las de entrada.

$$P = V \cdot I = V \cdot V/R = V^2/R \qquad \Delta P = (\Delta V)^2 / R_o.$$

El valor de la resistencia de salida puede deducirse de las variaciones que se producen en la tensión de salida cuando se requiere intensidad de ella: para alimentación de 4,5 V e intensidad de salida de 4 mA, las tensiones de salida son $V_{oL} = 0,17 \text{ V}$ y $V_{oH} = 4,3 \text{ V}$, lo cual supone una caída de tensión en la salida de aproximadamente 0,2 V en ambos casos.

$$R_o \approx 0,2 \text{ V} / 4 \text{ mA} \sim 50 \Omega$$

El margen de ruido en potencia ($\Delta P = (\Delta V)^2 / R_o$) es análogo para ambos valores booleanos:

$$\Delta P \approx 1,5^2 / 50 \approx 50 \text{ mW.}$$

Como valores de referencia, un margen de 20 mW resulta suficiente en ambiente «normal» (viviendas o lugares públicos) mientras que en un ambiente «industrial» (en donde motores, máquinas y el propio suministro de energía eléctrica generan mayor ruido ambiental) se precisan márgenes superiores a 100 mW para circuitos digitales sin apantallamiento.

- *Velocidad de trabajo*

Los tiempos de propagación típicos son de 9 ns ($V_{CC} = 4,5 \text{ V}$) para una carga capacitiva de 50 pF a 25°C de temperatura. Ello requiere un intervalo para cada bit de, al menos, 18 ns (para permitir tiempo suficiente para la formación del bit y una mínima permanencia estable posterior); en circuitos con reloj, su período mínimo (2 bits: un **1** seguido de un **0**) deberá ser de 36 ns, lo cual permite una frecuencia máxima de reloj de 27 MHz.

- *Consumo*

El consumo estático es despreciable: inferior a 2 μA (a 25°C).

El consumo dinámico depende de la tensión de alimentación y de la frecuencia de conmutación; se evalúa a través de la capacidad equivalente a efectos de disipación de potencia: $C_{pd} \sim 20 \text{ pF}$ a 25°C.

$$P = C_{pd} \cdot V_{CC}^2 \cdot f = 0,5 \text{ mW/MHz para } V_{CC} = 5 \text{ V} \qquad I = 0,1 \text{ mA/MHz}$$

de forma que, para una alimentación de 5 voltios y una onda cuadrada de 10 MHz, el consumo es de 5 mW, que corresponde a una intensidad de 1 mA.

- *Conectividad*

La capacidad de carga, es decir, el número de entradas que puede soportar una salida (*fan-out*) de una puerta CMOS no puede deducirse del cociente entre intensidades de salida y entrada (dicho cociente presenta valores muy altos), ya que al conectar varias puertas a la salida de otra el problema no es de intensidad sino de velocidad: es preciso cargar y descargar las capacidades presentes en dichas entradas y ello limita la velocidad.

Por ello, el *fan-out* debe referirse a la limitación en cuanto a capacidad máxima de carga admisible para una determinada velocidad de conmutación; es decir, la capacidad de carga para la cual han sido medidos los tiempos de propagación (habitualmente una capacidad de 50 pF).

El valor de la capacidad en una entrada C_i es de unos 3 pF; el número máximo de puertas que podrán conectarse a la salida de otra (para preservar su velocidad de trabajo) será de $50 \text{ pF} / 3 \text{ pF} \approx 16$.